



UNIVERSIDADE DA INTEGRAÇÃO INTERNACIONAL DA LUSOFONIA AFRO-BRASILEIRA
INSTITUTO DE ENGENHARIA E DESENVOLVIMENTO SUSTENTÁVEL
CURSO DE ENGENHARIA DE ENERGIAS

MILTON HONORIO CAVALCANTE NETO

UTILIZAÇÃO DE DISPOSITIVO FPGA PARA A IMPLEMENTAÇÃO DE
MODULAÇÕES PWM E PHASE-SHIFT APLICADAS A CONVERSORES
DUAL-ACTIVE-BRIDGE

ACARAPE-CE
AGOSTO DE 2017

MILTON HONORIO CAVALCANTE NETO

**UTILIZAÇÃO DE DISPOSITIVO FPGA PARA A IMPLEMENTAÇÃO DE
MODULAÇÕES PWM E PHASE-SHIFT APLICADAS A CONVERSORES
DUAL-ACTIVE-BRIDGE**

Monografia apresentada ao curso de Engenharia de Energias do Instituto de Engenharia e Desenvolvimento Sustentável da Universidade da Integração Internacional da Lusofonia Afro-Brasileira, como requisito para obtenção do Título de Bacharel em Engenharia de Energias.

Orientador: Prof. Dr. Herminio Miguel de Oliveira Filho.

ACARAPE-CE
AGOSTO DE 2017

Universidade da Integração Internacional da Lusofonia Afro- Brasileira
Direção de Sistema Integrado de Bibliotecas da UNILAB (DSIBIUNI)
Biblioteca Setorial Campus Liberdade
Catálogo na fonte

Bibliotecário: Gleydson Rodrigues Santos – CRB-3 / 1219

C365u Cavalcante Neto, Milton Honorio.

Utilização de dispositivo FPGA para a implementação de modulações PWM e Phase-Shift aplicadas a conversores Dual-Active-Bridge. / Milton Honorio Cavalcante Neto. – Acarape, 2017.

90 f.; 30 cm.

Monografia apresentada do Curso de Engenharia de Energias do Instituto de Engenharia e Desenvolvimento Sustentável (IEDS) da Universidade da Integração Internacional da Lusofonia Afro-Brasileira – UNILAB.

Orientador: Prof. Dr. Herminio Miguel de Oliveira Filho.

Inclui figuras, símbolos, tabelas e referências.

1. Energia - Fontes alternativas. 2. Conversores cc-cc bidirecionais. 3. Energia - Linguagem VHDL I. Título.

CDD 333.79

MILTON HONORIO CAVALCANTE NETO

**UTILIZAÇÃO DE FPGA PARA O DESENVOLVIMENTO DE MODULAÇÕES
PWM E PHASE-SHIF APLICADAS AOS CONVERSORES DUAL-ACTIVE-
BRIDGE**

Monografia apresentada ao curso de Engenharia de Energias do Instituto de Engenharia e Desenvolvimento Sustentável da Universidade da Integração Internacional da Lusofonia Afro-Brasileira, como requisito para obtenção do Título de Bacharel em Engenharia de Energias.

Aprovado em 07/08/2017.

BANCA EXAMINADORA

Herminio Miguel de O. Filho

Prof. Dr. Herminio Miguel de Oliveira Filho (Orientador)

Universidade da Integração Internacional da Lusofonia Afro-Brasileira (UNILAB)

Ranoyca Nayana Alencar Leão e Silva Aquino

Prof.^a Dra. Ranoyca Nayana Alencar Leão e Silva Aquino

Universidade da Integração Internacional da Lusofonia Afro-Brasileira (UNILAB)

Lúgia Maria Carvalho Sousa Cordeiro

Prof.^a Dra. Lúgia Maria Carvalho Sousa Cordeiro

Universidade da Integração Internacional da Lusofonia Afro-Brasileira (UNILAB)

À minha mãe.

À minha avó materna.

À minha família.

Aos meus amigos.

AGRADECIMENTOS

À Deus por ser bom o tempo todo.

À minha mãe Rosimeire Oliveira, pelo amor, incentivo e apoio incondicional.

In memoriam a minha avó Maria Oliveira Cavalcante, que faleceu no fim de minha graduação.

Ao meu irmão João Matheus Cavalcante, pelo companheirismo, carinho e incentivo.

Ao meu pai Eliseu Nogueira e ao meu padrasto Francisco Jamilson, pelo incentivo e apoio constantes.

À Karine Sousa, pela paciência e o apoio constante e incondicional nos momentos de dificuldades. Obrigada pela atenção especial e carinho.

À Ana Kelly Julião, pelo carinho, palavras de incentivo e por sua parceria em diversas maratonas de séries.

Aos demais familiares que sempre acreditarem em mim e que de alguma forma contribuíram para este momento.

Aos meus colegas de graduação, Mardônio Rodrigues, Jairo Lima, Guilherme Menezes, Alysson Christian, Ivan Bandeira, Antonia Mabrysa, Lidiana Rossi, Matheus Melo, Marcelo Rodrigues, Pedro Henrique, Verônica Dantas, Tadeu Sampronha, Adriano Mendonça e Francisco Aldemário, por todas as lições, perseverança, dedicação e laços eternos.

Ao meu orientador e professor, Herminio Miguel de Oliveira Filho, por todas as contribuições para a realização deste trabalho, sempre com muita atenção e dedicação, e por toda a paciência e conhecimento transmitido.

Aos técnicos Rafael Silva, Antonio Wallace e Caíke Damião, pelo tempo e auxílio disponibilizados durante minhas visitas ao laboratório de Eletrônica Digital.

Aos meus professores da graduação, pelo conhecimento transmitido, dedicação e paciência.

Ao Instituto de Engenharias e Desenvolvimento Sustentável (IEDS), que sempre auxiliou todos os estudantes do curso de Engenharia de Energias, não medindo esforços para que o curso recebesse conceito de excelência.

E à Universidade da Integração Internacional da Lusofonia Afro-Brasileira (UNILAB), a qual me deu a oportunidade de realização do Curso de graduação em Engenharia de Energias.

RESUMO

O presente trabalho tem como objetivo utilizar um dispositivo FPGA para implementar modulações PWM e *Phase-Shift* empregadas aos conversores cc-cc bidirecionais do tipo *dual-active-bridge* - DAB como estratégias para aumentar seu rendimento. Um exemplo de simulação do DAB é montado no software PSIM com a finalidade de verificar as vantagens das técnicas *Extended-Phase-Shift* - EPS e *Dual-Phase-Shift* - DPS em relação a modulação convencional *Single-Phase-Shift* - SPS. Esta análise é realizada para o DAB operando com um ganho estático de tensão de saída em relação a entrada diferente da unidade ou com potência menor que 1 kW. Nos algoritmos desenvolvidos em VHDL a SPS é implementada a partir de duas PWM, enquanto que na EPS utilizam-se três e na DPS quatro, todas as modulações por largura de pulso apresentam razão cíclica de 50%. Para criar os sinais de portadoras das PWM é utilizado contadores síncronos, que realizam contagens crescentes de 0 a 1249 e depois decrescentes de 1249 a 0. Os ângulos característicos de cada *Phase-Shift* (mudança de fase) foram gerados por atrasos na inicialização desses contadores. Emprega-se tanto para simulação do conversor DAB como nas modulações uma frequência de comutação de 20,016 kHz. A codificação e programação no FPGA Cyclone IV EP4CE22F17C6N das técnicas SPS, EPS e DPS é realizada por meio da linguagem VHDL. A validação computacional das *Phase-Shift* é obtida com o auxílio do aplicativo *ModelSim ALTERA STARTER EDITION 10.4b*, e além disso, são realizados testes com osciloscópio para verificar o comportamento dessas modulações quando programadas no FPGA.

Palavras-chave: Conversores cc-cc bidirecionais. DAB. Mudança de fase. Linguagem VHDL. FPGA.

ABSTRACT

The present work aims to use an FPGA device to implement PWM and Phase-Shift modulations used for dual-active-bridge bidirectional dc-dc converters as strategies to increase their performance. An example of DAB simulation is assembled in the PSIM software to verify the advantages of the Extended-Phase-Shift-EPS and Dual-Phase-Shift-DPS techniques over conventional Single-Phase-Shift-SPS modulation. This analysis is performed for the DAB operating with a static gain of output voltage in relation to the input different from the unit or with power less than 1 kW. In the algorithms developed in VHDL the SPS is implemented from two PWMs, whereas in the EPS three are used and in the four DPS, all pulse width modulations present a cyclic ratio of 50%. In order to create the PWM carrier signals, synchronous counters are used, which perform counts increasing from 0 to 1249 and then decreasing from 1249 to 0. The characteristic angles of each Phase-Shift (phase change) were generated by the initialization delays of these counters. A switching frequency of 20.016 kHz is used for both the DAB converter simulation and the modulations. The coding and programming in FPGA Cyclone IV EP4CE22F17C6N of the SPS, EPS and DPS techniques is performed by means of the VHDL language. The computational validation of Phase-Shift is obtained with the aid of the ModelSim application ALTERA STARTER EDITION 10.4b, and in addition, oscilloscope tests are performed to verify the behavior of these modulations when programmed in the FPGA.

Keywords: Bidirectional dc-dc converters. DAB. Phase-Shift. VHDL language. FPGA.

LISTA DE ILUSTRAÇÕES

Figura 1 - Estrutura básica de um IBDC com transformador de alta frequência	19
Figura 2 - DAB monofásico	19
Figura 3 - DAB trifásico	21
Figura 4 - IBDC trifásico com comutação suave utilizando DPS e razão cíclica variável	22
Figura 5 - Formas de ondas da modulação SPS e tensões no transformador	24
Figura 6 - Formas de ondas da modulação EPS e tensões no transformador	25
Figura 7 - Formas de ondas da modulação DPS e tensões no transformador	26
Figura 8 - Sinais da modulação PWM	26
Figura 9 - Arquitetura típica de um FPGA	28
Figura 10 - Esquemático do exemplo de projeto simulado	32
Figura 11 - Placa DE0-Nano de desenvolvimento da Altera	33
Figura 12 - Esboço de uma portadora gerada por contador	34
Figura 13 - Atualização de $\varphi +$ a partir da defasagem entre as portadoras 1 e 2	35
Figura 14 - Atualização de $\varphi -$ a partir da defasagem entre as portadoras 1 e 2	36
Figura 15 - Atualização de φ e δ para a modulação EPS	36
Figura 16 - Atualização de φ e δ para a modulação DPS	37
Figura 17 - Fluxograma funcional da SPS	41
Figura 18 - Fluxograma funcional da EPS	43
Figura 19 - Fluxograma funcional da DPS	45
Figura 20 - Diagrama de tempo do modo serial do ADC128S022	46
Figura 21 - Diagrama de blocos do divisor de frequência mais conversor A/D	47
Figura 22 - Simulações da modulação convencional para o caso da EPS	49
Figura 23 - Simulações da modulação EPS	50
Figura 24 - Corrente e tensão nos semicondutores considerando a SPS para o caso da EPS ..	50
Figura 25 - Corrente e tensão nos semicondutores para a EPS	51
Figura 26 - Simulações da modulação convencional para o caso do DPS	52
Figura 27 - Simulações da modulação DPS	52
Figura 28 - Corrente e tensão nos semicondutores considerando a SPS para o caso da DPS ..	53
Figura 29 - Corrente e tensão nos semicondutores para a DPS	53
Figura 30 - Simulação da SPS no <i>ModelSim</i> para os ângulos de 20° e 36°	54
Figura 31 - Sinais de comando do FPGA quando programado com a SPS e entrada $\varphi +$	55
Figura 32 - Simulação da modulação SPS no <i>ModelSim</i> para os ângulos de -20° e -36°	56

Figura 33 - Sinais de comando do FPGA quando programado com a SPS e entrada φ –	57
Figura 34 - Formas de ondas da EPS obtidas a partir da simulação no <i>ModelSim</i>	58
Figura 35 - Resultados computacionais para as entradas δ de -10° e -22° na EPS	59
Figura 36 - Sinais do FPGA quando programado com a EPS para $\varphi = 20^\circ$ e $\delta = 10^\circ$	60
Figura 37 - Sinais da técnica DPS obtidos a partir de simulações computacionais	61
Figura 38 - Resultados computacionais para as entradas δ de -10° e -22° na EPS	62
Figura 39 - Formas de onda da DPS produzidas pelo FPGA	62

LISTA DE TABELAS

Tabela 1 - Especificações de projeto para o conversor simulado.....	30
Tabela 2 - Parâmetros de simulação	32
Tabela 3 - Resumo das características da placa DE0-Nano da Altera.....	33
Tabela 4 - Dados de projeto para o desenvolvimento das modulações SPS, EPS e DPS	39
Tabela 5 - Características do conversor analógico-digital da placa DE0-Nano	45
Tabela 6 - Instrumentos e componentes utilizados no teste prático das modulações.....	48

LISTA DE ABREVIATURAS E SIGLAS

A/D	Conversor analógico-digital
CA	Corrente Alternada
CC	Corrente Contínua
CLB	<i>Configurable Logic Blocks</i> - Blocos Lógicos Configuráveis
DAB	<i>Dual Active Bridge</i>
DC	<i>Direct Current</i> - Corrente direta
DPS	<i>Dual Phase-Shift</i> - Dupla Defasagem Angular
DSP	<i>Digital Signal Processor</i> - Processador Digital de Sinais
EPROM	<i>Electrically Programmable Read Only Memory</i> – Memória Eletricamente Reprogramável de Somente de Leitura
EPS	<i>Extended Phase-Shift</i> - Defasagem Angular Extendida
FPGA	<i>Field Programmable Gate Arrays</i> - Matriz de Portas Programável em Campo
HDL	<i>Hardware Description Language</i> - Linguagens de Descrição de Hardware
IBDC	<i>Isolated Bidirectional DC-DC Converter</i> - Conversores CC-CC Bidirecionais Isolados
IEEE	<i>Institute of Electrical and Electronic Engineers</i> – Instituto de Engenheiros Eletricistas e Eletrônicos
IOB	<i>In/Out Blocks</i> - Blocos de Entrada e Saída
PLL	<i>Phase-Locked Loop</i> – Malha de Captura de Fase
PWM	<i>Pulse Width Modulation</i> - Modulação por Largura de Pulso
RAM	<i>Random Access Memory</i> - Memória de Acesso Aleatório
SDRAM	<i>Synchronous Dynamic Random Access Memory</i> - Memória Dinâmica Síncrona de Acesso Aleatório
SPS	<i>Single Phase Shift</i> - Deslocamento de Fase
SRAM	<i>Static Random Access Memory</i> - Memória Estática de Acesso Aleatório
VHDL	<i>VHSIC Hardware Description Language</i> - Linguagem de Descrição de Hardware VHSIC
VHSIC	<i>Very High Speed Integrated Circuit</i> - Circuito Integrado de Velocidade Muito Alta
ZVS	<i>Zero Voltage Switching</i> - Comutação sob Tensão Nula

LISTA DE SÍMBOLOS

C_a	Capacitância de acoplamento
K_{AD}	Resolução do conversor A/D
L_d	Indutância de transmissão de potência
N_1	Número de espira no primário
N_2	Número de espira no secundário
N_c	Número de contagens
N_d	Número do degrau
P_p	Potência nominal ou de projeto do conversor DAB
$P_{trabalho}$	Potência de trabalho do conversor DAB
R_c	Resistência de carga
T_{on}	Tempo de bloqueio
T_{on}	Tempo de condução
T_s	Período de comutação
T_δ	Tempo correspondente ao deslocamento de fase δ
T_φ	Tempo correspondente ao deslocamento de fase φ
V_i	Tensão de entrada no conversor DAB
V_o	Tensão de saída no conversor DAB
V_o'	V_o referida para o primário
V_p	Tensão do primário
V_p	Tensão do secundário
f_{clock}	Frequência de clock
f_s	Frequência de comutação
φ_-	φ para o fluxo de potência no sentido secundário-primário no DAB
φ_+	φ para o fluxo de potência no sentido primário-secundário no DAB
ΔV_o	Ondulação da tensão de saída
D	Razão cíclica ou razão de trabalho
G	Ganho de tensão do conversor DAB
V_a	Entrada analógica do conversor A/D
$nbits$	Número de bits
δ	Deslocamento de fase entre os braços do primário ou do secundário do DAB
φ	Deslocamento de fase entre o primário e secundário do conversor DAB

SUMÁRIO

1	INTRODUÇÃO	15
2	REFERENCIAL TEÓRICO	18
2.1	Conversores cc-cc bidirecionais	18
2.2	Topologias do conversor DAB.....	19
2.2.1	DAB monofásico.....	19
2.2.2	DAB trifásico	21
2.3	IBDC trifásico com comutação suave utilizando DPS e razão cíclica variável	22
2.4	Modulações	23
2.4.1	Single-Phase-Shift (SPS).....	23
2.4.2	Extended-Phase-Shift (EPS)	24
2.4.3	Dual Phase-Shift (DPS).....	25
2.5	Modulação por Largura de Pulsos	26
2.6	FPGA	27
3	MATERIAL E MÉTODOS.....	30
3.1	Simulação do conversor DAB monofásico	30
3.2	Desenvolvimento das técnicas de modulações	33
3.2.1	Portadoras.....	34
3.2.2	Implementação da modulação SPS	39
3.2.3	Implementação da modulação EPS	42
3.2.4	Implementação modulação DPS	44
3.3	Análise das modulações com osciloscópio quando programadas no FPGA	45
4	RESULTADOS E DISCUSSÃO	49
4.1	Resultados das simulações no PSIM.....	49
4.2	Resultados das simulações no <i>ModelSim</i> e análises realizadas no osciloscópio	53
4.2.1	Resultados da modulação SPS	54
4.2.2	Resultados da modulação EPS	57
4.2.3	Resultados da modulação DPS.....	60
5	CONCLUSÕES	64
	REFERÊNCIAS	65
	APÊNDICE A – Parâmetros para simulação do conversor DAB no PSIM.....	68
	APÊNDICE B – Diagrama de blocos da modulação <i>Single-Phase-Shift</i>.....	70
	APÊNDICE C – Diagrama de blocos da modulação <i>Extended-Phase-Shift</i>	71

APÊNDICE D – Diagrama de blocos da modulação <i>Dual Phase-Shift</i>	72
APÊNDICE E – Rotinas desenvolvidas para as <i>Phase-Shift</i>	73
APÊNDICE F – Rotina do divisor de frequência	87
APÊNDICE G – Rotina do conversor A/D.....	88

1 INTRODUÇÃO

Nos últimos anos verificou-se uma expansão acentuada do consumo de energia elétrica, atribuído a crescente atividade dos setores comercial, industrial e de serviços, além da atual facilidade proporcionada à população na aquisição de serviços e produtos tecnologicamente mais avançados. Visando atender esse aumento da demanda de energia, bem como as restrições ambientais sobre emissões de gases do efeito estufa, tem-se aumentado a participação das fontes renováveis na matriz elétrica por meio da geração distribuída. Nesse cenário, originou-se o conceito de *microgrids* ou microrredes. As *microgrids* são sistemas conectados as redes de distribuição que integram cargas a fontes de geração distribuída podendo operar em paralelo ou separada da rede elétrica (SILVA, 2013). A geração nas microrredes é realizada por fonte renováveis como eólica, fotovoltaica e células combustíveis (ZHANG *et al.*, 2016), e são destinadas a atender a pequenos centros de consumo como: bairro residencial, hospital, escola e condomínios.

As fontes renováveis utilizadas nas microrredes para produção de energia são dependentes de fatores naturais como vento e sol. A inconstância de tais fontes leva à necessidade de sistemas de armazenamento de energia, em que normalmente empregam-se bancos de baterias. O armazenamento de energia em baterias garante fornecimento ininterrupto, estabilidade e aumenta a confiabilidade do sistema quanto a intermitência das fontes geradoras. Para realizar a distribuição de energia entre geração e armazenamento utilizam-se conversores CC-CC bidirecionais isolados, comumente conhecidos como IBDCs (do inglês, *isolated bidirectional DC-DC converter*). Esse interfaceamento permite a regulação do barramento CC e confere ininterruptão de alimentação às cargas (ZHANG *et al.*, 2016). Entre os diversos IBDCs existentes, o conversor *Dual-Active-Bridge* (DAB) é o mais empregado, devido ao seu isolamento elétrico, confiabilidade e facilidade no controle do fluxo de potência.

O DAB é um conversor estático desenvolvido a partir de dois conversores ponte completa interligados por um transformador de alta frequência, que, “além de garantir o isolamento galvânico, faz a adequação das tensões das fontes através de seus enrolamentos e transfere energia de uma fonte para outra” (SANTOS, 2011). Muitos conversores são capazes de processar um fluxo de energia bidirecional, no entanto, o conversor DAB é o que apresenta menores perdas para níveis de potência maiores que 1,0 kW (SANTOS, 2011). Apesar de possuir muitas vantagens em relação aos demais conversores bidirecionais, o conversor DAB apresenta o problema de redução do rendimento com a diminuição da potência de saída, de

modo que, para potências inferiores a 1,0 kW seu rendimento é bastante comprometido (KIM *et al.*, 2011; JAIN; AYYANAR, 2008; EVERTS *et al.*, 2012). Essa queda na eficiência deve-se ao estreitamento da zona de comutação suave e aumento da circulação de energia reativa no conversor (BAI; MI, 2008).

Várias técnicas de modulação das chaves semicondutoras são propostas na literatura, com o objetivo de diminuir os esforços sobre os dispositivos semicondutores, minimizar ou eliminar a potência reativa e aumentar o rendimento do conversor DAB. Dentre elas destacam-se a *Extended-Phase-Shift* - EPS (Defasagem Angular Extendida) e *Dual-Phase-Shift* - DPS (Dupla Defasagem Angular) por serem os métodos mais amplamente estudados (ZHAO *et al.*, 2014). Basicamente, a diferença entre esses tipos de modulações reside na quantidade de variáveis de controle utilizadas, que são deslocamentos de fase. Na modulação convencional *Single-Phase-Shift* - SPS (Deslocamento de Fase), cria-se uma defasagem entre as pontes primária e secundária do DAB. Para a EPS utiliza-se a SPS em conjunto defasagens criadas entre os dois braços de uma mesma ponte do conversor. Já a DPS emprega a *Single-Phase-Shift* e defasagens entre os dois braços do primário e entre os dois braços secundário.

Este trabalho propõe a utilização de um dispositivo FPGA para implementar modulações PWM (do inglês, *Pulse Width Modulation*) e *Phase-Shift* empregadas aos conversores *dual-active-bridge* como estratégias para aumentar o rendimento. Para tal, é necessário estudar as topologias do conversor DAB, bem como as técnicas de modulação mais utilizadas. Realizar um exemplo de simulação do DAB no software PSIM e desenvolver as modulações *Single-Phase-Shift*, *Extended-Phase-Shift* e *Dual-Phase-Shift* a partir de descrições VHDL para FPGA. E por fim, validar as estruturas desenvolvidas através de simulações computacionais, assim como por meio de testes com osciloscópio dos sinais de saídas dessas modulações após serem programadas no FPGA.

O presente documento está estruturado em cinco seções, na primeira consta uma breve introdução. Na segunda é realizada uma revisão a cerca do conversor DAB, suas topologias, formas de modulação dos interruptores e a plataforma FPGA - *Field Programmable Gate Arrays* (Matriz de Portas Programável em Campo), utilizada para o desenvolvimento de circuitos digitais.

A seção três aborda o material e metodologias empregados, em que é apresentando um exemplo de simulação do conversor DAB, o desenvolvimento das portadoras das PWM utilizadas para se obter as *Phase-Shift*, o circuito das modulações SPS, EPS e DPS, e a configuração do conversor analógico-digital para possibilitar a verificação das modulações após serem programadas no FPGA.

Na seção quatro discutem-se os resultados obtidos a partir do exemplo de simulação do *Dual-Active-Bridge* para as modulações SPS, EPS e DPS. A validação computacional dessas modulações também é realizada nesta seção, além da análise do funcionamento depois de implementadas no FPGA.

Por fim, na seção cinco são apresentadas as considerações sobre o estudo desenvolvido e sugestões de trabalhos futuros.

2 REFERENCIAL TEÓRICO

2.1 Conversores cc-cc bidirecionais

Os conversores bidirecionais operam transferindo potência da entrada para a saída ou da saída para a entrada. Comumente esses modos de fluxo da potência são citados na literatura como de A para B e de B para A, ou ainda por *step-up* e *step-down*. Esses conversores são divididos em duas categorias, não isolados e isolados (BABOKANY *et al.*, 2012). Os não isolados baseiam-se em estruturas bem conhecidas como *buck*, *boost*, *buck-boost* e *Cuk*, em que a bidirecionalidade do fluxo de potência é proporcionada pela substituição do diodo da topologia original por uma chave bidirecional em corrente (CARDOSO, 2007).

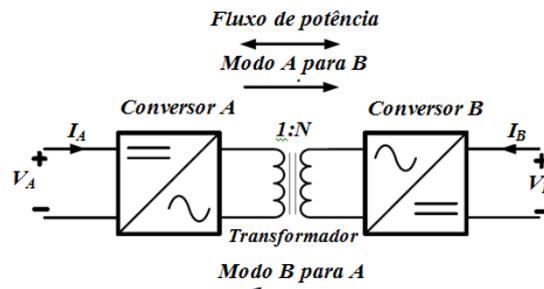
Embora essas estruturas sejam simples e com sistema de controle de fácil implementação, possuem uma limitada faixa de relação de transformação entre as tensões de entrada e saída, além de algumas topologias apresentarem consideráveis perdas por comutação e condução dos semicondutores (SILVA, 2013). Deste modo, os conversores bidirecionais não isolados são mais indicados para situações em que não são necessárias elevados níveis de ganho estático.

Na maioria dos conversores cc-cc bidirecionais isolados, comumente conhecidos como IBDCs (do inglês, *isolated bidirectional DC-DC converter*), um transformador de alta frequência confere isolamento galvânico entre os dois lados do conversor, e permite obter grandes relações de transformação através dos seus enrolamentos (REDDY; KUMAR; KESHAMONI, 2013). A elevada faixa de adequação dos níveis de tensão é uma das maiores vantagens dessas estruturas em relação aos não isolados. Geralmente, os IBDCs podem ser obtidos a partir de tradicionais conversores unidirecionais isolados, como *flyback* (CARDOSO, 2007), *Cuk* isolado (CARDOSO, 2007), *push-pull* (SEYEZHAI; UMAMAHESWARI, 2015), e *full-bridge* (DE DONCKER; DIVAN; KHERALUWALA, 1991). Na Figura 1 tem-se um diagrama representativo da estrutura básica de um IBDC com transformador de alta frequência.

As topologias IBDCs são numerosas e diversas, mas para um dado nível tensão e corrente nos semicondutores, a transmissão de potência é proporcional ao número de interruptores, de modo que o *full-bridge* bidirecional tem a maior capacidade de transferência de potência (ZHAO *et al.*, 2014). O conversor *full-bridge* bidirecional é mais conhecido na literatura técnico-científica por *Dual-Active-Bridge* (DAB). Dentre os IBDCs citados e diversas outras topologias disponíveis na literatura, o DAB é o conversor que apresenta a

maior densidade de potência, além de possuir operação com comutação suave em todos os interruptores de forma natural, estrutura modular e simétrica, de modo que eles estão atraindo mais e mais atenção nos últimos anos (KIRSTEN, 2014).

Figura 1 - Estrutura básica de um IBDC com transformador de alta frequência



Fonte: Adaptado de Karshenas *et al.*, 2011.

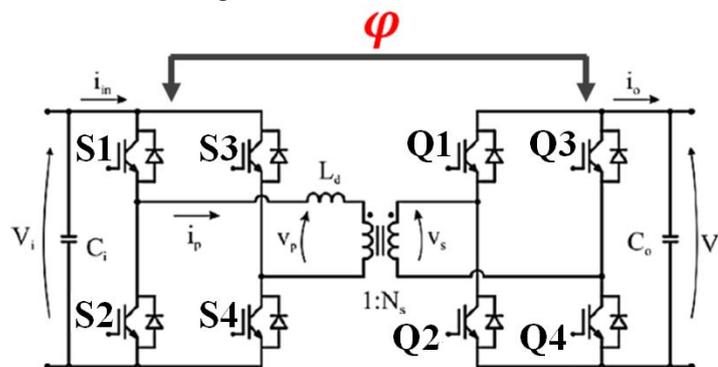
Uma maneira de classificar os conversores CC-CC bidirecionais isolados é com relação a forma de alimentação, que pode ser por corrente ou tensão (KARSHENAS *et al.*, 2011). No tipo alimentado por corrente existe um indutor na entrada enquanto que no alimentado por tensão há um capacitor na entrada. Este trabalho abordará o DAB alimentado por tensão.

2.2 Topologias do conversor DAB

2.2.1 DAB monofásico

A estrutura dos conversores DAB monofásicos consistem basicamente em dois conversores cc-ca ponte completa acoplados através de transformador de alta frequência (SANTOS, 2011). Na Figura 2 está representada a estrutura do DAB monofásico, forma convencional utilizada para análise do funcionamento.

Figura 2 - DAB monofásico



Fonte: Adaptado de Kirsten, 2014.

O link CA que interliga pontes completas garante o isolamento galvânico, possibilita a adequação das tensões das fontes através de seus enrolamentos e ainda é o responsável pela transferência de energia de uma fonte para outra. A indutância L_d , designada por indutância de transmissão, representa a soma das indutâncias de dispersão do primário e secundário (refletidas para o primário) do transformador (BABOKANY *et al.*, 2012), que nos conversores DAB funcionam como meios de transferência de energia. Dependendo do valor dessas indutâncias e do nível de potência requerido, integram-se indutâncias externas para que aumente a capacidade de transferência de potência da estrutura (SANTOS; MARTINS, 2012).

Na modulação convencional (SPS) do conversor DAB, os pares de interruptores correspondentes em cada uma das pontes completas, produzem uma forma de onda quadrada de tensão cc com o ciclo de trabalho de 50% na entrada do transformador. Ajustando o deslocamento de fase (φ) entre essas tensões, a direção e magnitude do fluxo de potência podem ser controladas. Nesse tipo de modulação cada braço da mesma ponte produz uma onda quadrada defasada em 180° do outro braço e com polarização oposta. Na prática existe um tempo morto entre os disparos das chaves do mesmo braço, necessário para garantir que não haja curto-circuito (Kirsten, 2014).

Teoricamente, a máxima transferência de potência ocorre quando $\varphi = \pm 90^\circ$, mas na prática é indicado $\pm 15^\circ \leq \varphi \leq \pm 45^\circ$, pois evita altos picos de corrente no transformador, nas chaves e elevada circulação de potência reativa no conversor (TAO; DUARTE; HENDRIX, 2008). Quando a razão entre a tensão na saída referida para o primário (V_o') e a tensão na entrada (V_i) é muito próximo ou igual a unidade, a comutação não dissipativa sob tensão nula ZVS (do inglês - *Zero Voltage Switching*) ocorrerá em toda a faixa de deslocamento de fase (ALONSO *et al.*, 2010). Comutar em ZVS significa que o interruptor muda de estado com tensão nula em seus terminais. Se a razão entre V_o' e V_i é muito diferente da unidade, os interruptores do conversor entram na região comutação dissipativa, devido aos altos níveis de potência reativa que passa a circular no sistema. Na literatura, a razão entre V_o' e V_i é conhecida como ganho de tensão (G), e está diretamente relacionada com o rendimento do conversor DAB.

No conversor cc-cc bidirecional *dual-active-bridge* com modulação convencional, a corrente e a tensão no primário do transformador raramente estarão em fase, pois uma parte da energia fornecida à carga num período de comutação é consumida pelo resistor de carga, enquanto a outra parte é enviada de volta para a fonte de tensão primária, o que gera potência reativa (BAI; MI, 2008). Essa circulação de potência reativa é ainda maior quando G é muito

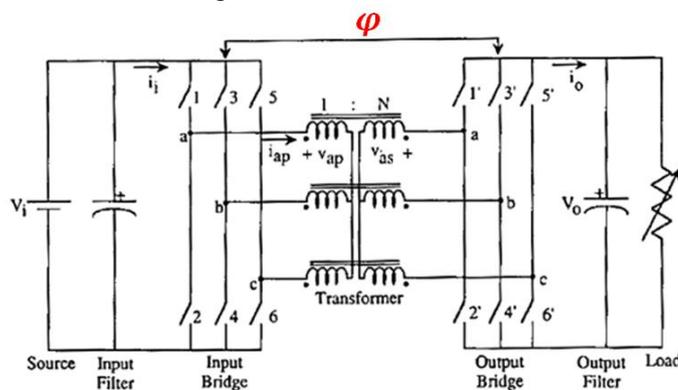
diferente da unidade ou/e quando o conversor está operando com carga leve, ou segundo a literatura um φ muito próximo de zero.

A técnica SPS embora seja de simples implementação, pois requer o controle de apenas um deslocamento de fase, não prevê a minimização da potência reativa. Outras técnicas de modulação empregadas no DAB monofásico são a EPS e DPS, essas estratégias adicionam outro grau de liberdade ao sistema, possibilitando expandir a faixa de operação em comutação suave, eliminar a circulação de potência reativa e reduzir o estresse de corrente, melhorar a eficiência, além de possibilitar reduzir a capacitância de saída (ZHAO *et al.*, 2014).

2.2.2 DAB trifásico

O DAB trifásico é uma extensão da versão monofásica, em que um terceiro braço é adicionado para cada ponte completa. A interligação entre os dois lados do conversor é realizada através de um transformador trifásico conectado em Y-Y. Essa topologia foi proposta por (DE DONCKER; DIVAN; KHERALUWALA, 1991). O circuito equivalente para o DAB trifásico é mostrado na Figura 3.

Figura 3 - DAB trifásico



Fonte: De Doncker; Divan; Kheraluwala, (1991).

Da mesma forma que no DAB monofásico, a indutância de dispersão do transformador é utilizada como componente de armazenamento e transferência de energia no conversor DAB trifásico, e a magnitude e direção do fluxo de potência podem ser controladas através do deslocamento de fase entre os dois lados do conversor. Em cada uma das pontes os interruptores superior e inferior de cada braço funcionam em ciclo de trabalho 50%, e cada braço está defasado de 120° em relação aos outros dois (XUE, 2010). Essas configurações garantem a simetria das formas de onda de tensão e corrente no transformador. Na topologia

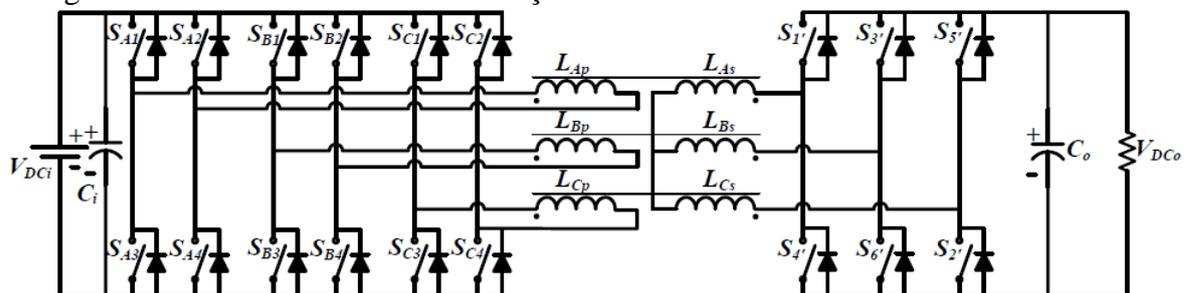
trifásica, a comutação suave em ZVS também ocorre naturalmente através do ajuste do ganho de tensão do conversor (OLIVEIRA FILHO, 2015).

A estrutura trifásica apresenta algumas vantagens em relação a monofásica: no sistema trifásico há distribuição de corrente através de mais braços resultando em menores perdas por stress de corrente, o que possibilita a utilização de dispositivos semicondutores de menor valor nominal; a frequência de ondulação de tensão e corrente na entrada e saída do conversor, é seis vezes menor que a frequência de comutação, permitindo reduzir a capacitância de saída; e “com a inserção do transformador trifásico, o volume do elemento isolador se torna menor devido à redução do tamanho no núcleo requerido” (OLIVEIRA FILHO, 2015). No entanto, o DAB trifásico apresenta limitações quando se deseja empregar modulações como DPS, pois a variação do ciclo de trabalho das tensões de entrada do transformador gera desequilíbrios nas fases do conversor.

2.3 IBDC trifásico com comutação suave utilizando DPS e razão cíclica variável

Essa topologia cujo desenvolvimento está baseado no conversor DAB, foi proposta por (OLIVEIRA FILHO, 2015). Consiste em três pontes H no lado primário, conectadas a um inversor trifásico no lado secundário através de três transformadores monofásicos de alta-frequência, acoplados em delta aberto/estrela. Devido a configuração estrutural apresentada pelo conversor, é possível elevar a densidade de potência por paralelismos de fases e também obter o dobro de ganho de tensão de saída (OLIVEIRA FILHO, 2015). A Figura 4 mostra a estrutura desse conversor.

Figura 4 - IBDC trifásico com comutação suave utilizando DPS e razão cíclica variável



Fonte: Oliveira Filho, (2015).

Assim como nas topologias anteriores, a indutância de dispersão do transformador é utilizada como componente de armazenamento e transferência de energia. A magnitude e direção do fluxo de potência podem ser controladas por um *dual-phase-shift* entre os braços das pontes primárias, ou/e através do deslocamento de fase entre as tensões primária e

secundária do transformador. A razão cíclica dos interruptores superior e inferior de cada braço da ponte secundária permanece fixa em 50%.

Nessa estrutura, os interruptores comutam naturalmente em ZVS quando o ganho é ajustado de maneira adequada (OLIVEIRA FILHO, 2015). Uma das vantagens dessa topologia com relação a topologia trifásica convencional é a utilização do DPS, que permite ampliar a faixa de comutação suave, minimizar os reativos e diminuir os stress de corrente nos dispositivos semicondutores.

2.4 Modulações

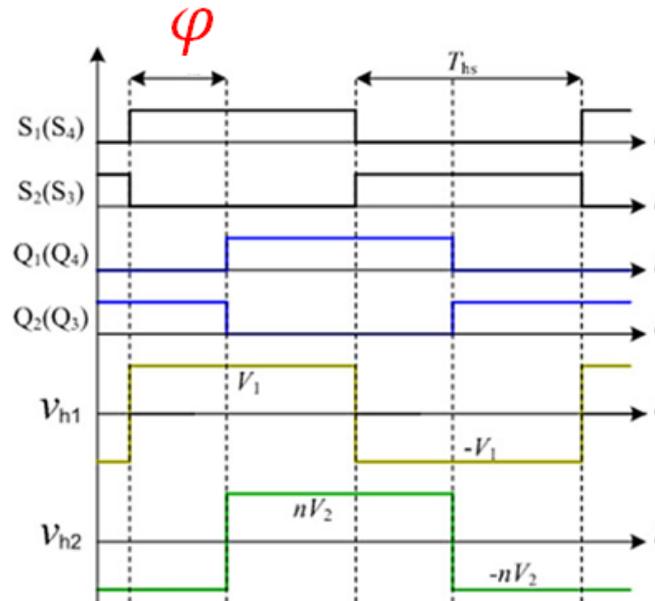
Diversas técnicas de chaveamento para os conversores DAB estão disponíveis na literatura, essas são estudadas e desenvolvidas com o objetivo de reduzir os esforços sobre os dispositivos semicondutores e aumentar o rendimento do conversor. Dentre elas destacam-se a *Single-Phase-Shift* (SPS), a *Extended-Phase-Shift* (EPS) e a *Dual-Phase-Shift* (DPS) por serem os métodos mais amplamente estudados. A seguir será apresentado as características dessas modulações para o conversor DAB monofásico apresentado na Figura 2.

2.4.1 Single-Phase-Shift (SPS)

A SPS é o método de controle mais amplamente utilizado para o conversor DAB, sendo considerado como a modulação convencional. Essa técnica é bastante simples e de fácil implementação, pois há somente duas PWM, uma para os interruptores do primário e outra para os interruptores do lado secundário, com razão de trabalho de fixada em 50%. Um ângulo de defasagem (φ) entre esses sinais é a variável de controle, utilizada para determinar o nível e a direção do fluxo de potência no conversor (KIM *et al.*, 2011). A Figura 5 mostra os sinais de comando, bem como as formas de ondas das tensões no primário e secundário do transformador.

Nesse tipo de modulação, o deslocamento de fase empregado não prevê a minimização da potência reativa, no entanto, é possível ter alguma redução nas perdas projetando-se o conversor de modo que o ganho de tensão seja mantido igual ou muito próximo da unidade (SANTOS, 2011). A modulação SPS geralmente é designada na literatura como modulação de dois níveis, isso porque a tensão no transformador apresenta dois níveis, como pode ser observado na Figura 5. Na topologia trifásica, a utilização da SPS faz surgir três níveis na tensão de cada lado do transformador.

Figura 5 - Formas de ondas da modulação SPS e tensões no transformador



Fonte: Adaptado de Zhao *et al.*, (2012).

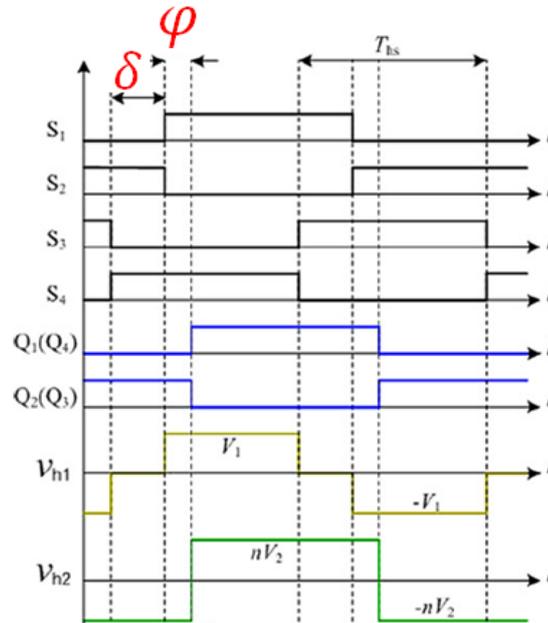
2.4.2 Extended-Phase-Shift (EPS)

Esse tipo de modulação é uma melhoria da *Single-Phase-Shift*, e caracteriza-se pelo aumento das variáveis de controle, através da utilização de PWM com razão cíclica variável na tensão do primário ou secundário do transformador em conjunto com a modulação SPS. Na EPS um dos lados do conversor recebe modulação por largura de pulso, enquanto o lado oposto permanece com ciclo de trabalho fixado em 0,5 (KIRSTEN, 2014). A aplicação da modulação PWM, faz surgir três níveis de tensão na forma de onda gerada pela ponte cuja técnica foi aplicada, sendo que um desses níveis apresenta tensão de 0 V. Por esse motivo, a modulação EPS é também conhecida na literatura como modulação de três níveis. Esta técnica também pode ser obtida a partir da manipulação do defasamento entre os braços de uma mesma ponte. Os sinais de comando e as formas de ondas das tensões no primário e secundário do transformador são apresentados na Figura 6.

Como pode ser observado na Figura 6, esse método de modulação adiciona uma defasagem interna (δ) entre os braços de uma das pontes. Se o ganho de tensão for menor que 1, a defasagem δ será aplicada ao primário, quando o ganho de tensão é maior que 1, o secundário receberá δ . O deslocamento de fase interno permite ao método EPS, em comparação com a SPS, melhorar a eficiência e expandir a faixa de operação ZVS, como também reduzir o *stress* de corrente e aumentar a flexibilidade de regulação (ZHAO; YU; SUN, 2012). A desvantagem desta técnica está na complexidade da estrutura do modulador

PWM, pois será necessário introduzir uma portadora extra, para o controle da razão cíclica entre os interruptores diagonais ($S_1 - S_4$ e $S_2 - S_3$) da ponte (SILVA, 2013).

Figura 6 - Formas de ondas da modulação EPS e tensões no transformador



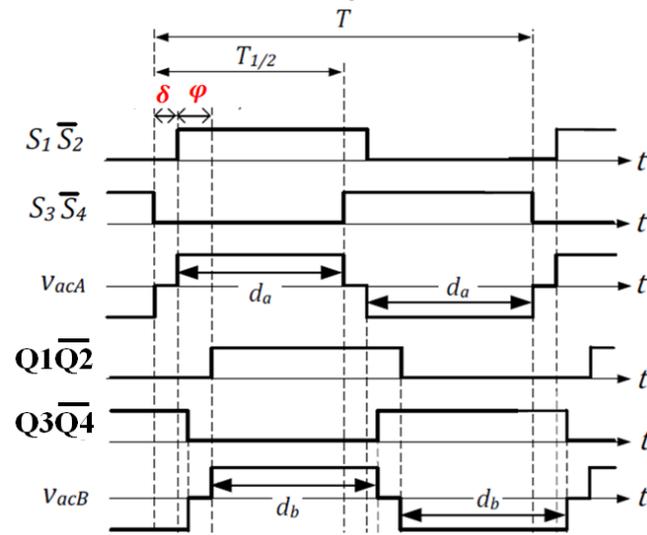
Fonte: Adaptado de Zhao *et al.*, (2012).

2.4.3 Dual Phase-Shift (DPS)

Na modulação DPS é realizado o controle do ciclo de trabalho da tensão do primário e secundário do transformador, logo, este tipo de modulação pode ser entendido como uma extensão da EPS. As razões cíclicas dessas tensões apresentam o mesmo valor, ou seja, esse método adiciona a mesma defasagem interna (δ) para os interruptores diagonais de ambas as pontes (BAI; NIE; MI, 2010). Assim, tanto o primário como o secundário do transformador terá três níveis de tensão, sendo um deles igual a 0 V. Na Figura 7 estão representados os sinais de comando e as formas de ondas das tensões no primário e secundário do transformador.

Assim como na SPS e EPS, o ângulo de defasagem φ apresentado na Figura 7 determina o nível e a direção do fluxo de potência no conversor, enquanto que δ ajuda a controlar a potência ativa e também a eliminar totalmente a potência reativa (BAI; MI, 2008). As vantagens dessa modulação são a diminuição dos picos de corrente, aumento da eficiência do conversor, minimização da capacitância de saída (ZHAO *et al.*, 2014) e maior faixa de operação ZVS (KIM *et al.*, 2011).

Figura 7 - Formas de ondas da modulação DPS e tensões no transformador



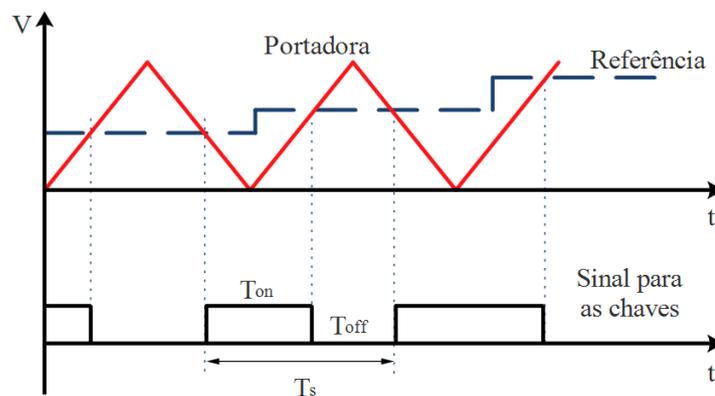
Fonte: Adaptado de Silva (2013).

2.5 Modulação por Largura de Pulsos

Método largamente empregado para o chaveamento de conversores estáticos, e que consiste essencialmente na comparação de dois sinais de tensão, um em baixa frequência (referência) e outro em alta frequência (portadora), resultando em um sinal com largura de pulso variável e frequência fixa (BATSCHAUER, 2012).

Para os conversores cc-cc utiliza-se como referência um sinal de tensão contínua, pois se deseja uma tensão desta natureza como saída, e um sinal dente-de-serra ou triangular como portadora. (BATSCHAUER, 2012). Neste trabalho foram utilizadas portadoras triangular e referência contínua, devido às características do método utilizado para o desenvolvimento das modulações SPS, EPS e DPS. A Figura 8 mostra as formas de onda da modulação por largura de pulsos.

Figura 8 - Sinais da modulação PWM



Fonte: Adaptado de Oliveira Filho (2015).

Na técnica PWM a frequência de operação é fixa e alterando-se a referência, o tempo de condução (T_{on}) da chave é modificado. Aumentando ou diminuindo o tempo de condução, o tempo de bloqueio (T_{off}) varia proporcionalmente, e vice-versa. A razão percentual entre o tempo em que a chave está ligada e o período total (T_s) denomina-se razão cíclica ou razão de trabalho (D). A portadora é um sinal na ordem de kHz o qual é responsável pela definição da frequência de comutação dos interruptores do circuito de potência. Este sinal deve possuir uma frequência pelo menos 10 vezes maior que o sinal de referência (BATSCHAUER, 2012).

2.6 FPGA

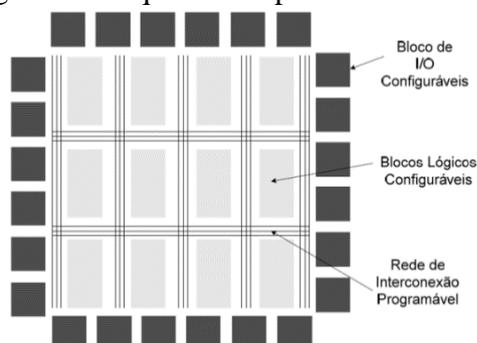
O desenvolvimento analógico das modulações SPS, EPS e DPS exigiria elevado esforço e um considerável número componentes. Somado a isso, existe a dificuldade na realização de ajustes e manutenções em circuitos com demasiada quantidade de dispositivos eletrônicos. Deste modo, torna-se mais vantajoso a implementação dessas modulações em meio digital, pois permitem construir aplicações complexas de forma mais simples, além de facilitar a manutenção e ajustes de parâmetros. Atualmente existem diversas plataformas de desenvolvimento de sistemas digitais, dentre estas se destacam os dispositivos FPGA ou *Field Programmable Gate Arrays* (Matriz de Portas Programável em Campo), por sua possibilidade de reprogramação e alta velocidade de processamento.

O FPGA é um circuito integrado programável cuja arquitetura interna é configurada pelo usuário final ou projetista, sendo amplamente utilizado na prototipação de projetos de circuitos digitais. Com essa tecnologia é possível simular o comportamento de circuitos digitais simples, como contadores síncronos e assíncronos, somadores, subtratores, acumuladores, e até de circuitos mais complexos, como filtros e processadores. O primeiro FPGA disponível comercialmente foi desenvolvido pela empresa Xilinx Inc., em meados da década de 1980 (PEDRONI, 2008). Os principais fabricantes de FPGAs atualmente são a Altera, a Xilinx e a Actel.

A estrutura interna dos FPGAs consiste em uma matriz de blocos lógicos configuráveis (do inglês, *Configurable Logic Blocks* - CLB), que são interligados por uma rede bidimensional completamente reprogramável. Esses blocos lógicos são constituídos por células lógicas, que tem capacidade computacional para implementar funções lógicas e realizar roteamento para a comunicação entre elas. A matriz de CLB é circundada por bloco de entrada e saída (do inglês, *In/Out Blocks* - IOBs) configuráveis que fazem interface com o ambiente, permitindo que o projetista através de um *software* de desenvolvimento configure o

FPGA para a aplicação desejada (CÂMARA, 2012). Na Figura 9 pode ser observada a arquitetura característica de um FPGA.

Figura 9 - Arquitetura típica de um FPGA



Fonte: Câmara (2012).

Os blocos lógicos e as interligações que eles realizarão em cada aplicação são controlados por células de memória. A tecnologia de memória empregada é aquela com possibilidade de reprogramação, ou seja, EPROM, SRAM, SDRAM e Flash. Além dos indispensáveis blocos lógicos configuráveis, os atuais FPGAs estão incluindo em sua arquitetura blocos de Memória de Acesso Aleatório (do inglês, *Random Access Memory* – RAM), blocos de Processadores Digital de Sinais (do inglês, *Digital Signal Processor* - DSP) e blocos de Malha de Captura de Fase, (do inglês, *Phase-Locked Loop*, - PLL), que são úteis no desenvolvimento de projetos grandes e/ou complexos (PEDRONI, 2008).

Para a realização de projetos utilizando FPGAs, é comum o usuário adquirir um kit de desenvolvimento. Esse kit consiste em uma placa que integra diversos componentes e periféricos, como chaves, leds, displays de sete segmentos, pinos de entrada e saída do componente, unidades de memórias, osciladores, entrada e saída para sinais de áudio, conector VGA, conector serial e USB, além do próprio dispositivo FPGA.

Existem três maneiras de projetar um sistema de controle em FPGA: utilizando entrada esquemática através de um ambiente EDA (*Electronic Design Automation*), utilizando linguagens de descrição de *hardware* (do inglês, *Hardware Description Language* - HDL), como VHDL, *Verilog* e AHDL ou aplicando esses dois conceitos ao mesmo projeto (SMITH, 2010). Uma HDL é própria para modelar o comportamento e/ou a estrutura de um *hardware*. Atualmente, o VHDL e o *Verilog* são as linguagens de descrição de *hardware* mais utilizadas, isso porque elas são padrões aprovados e publicados pelo IEEE (*Institute of Electrical and Electronic Engineers* - Instituto dos Engenheiros Eletrônicos e Eletricitistas). O VHDL é uma linguagem de alto nível utilizada para descrição de circuitos digitais, e originou-se pela necessidade de uma ferramenta para a documentação do projeto *Very High Speed Integrated Circuit* (VHSIC) do Departamento de Defesa dos Estados Unidos, no início da década de

1980 (SMITH, 2010). Essa linguagem é empregada nos meios industrial e acadêmico, e permite descrever o *hardware* em diversos níveis de abstração, além de possibilitar a simulação para verificar o comportamento do sistema desenvolvido.

A estrutura mais simples de uma descrição VHDL é constituída por pacotes (*package*), entidade (*entity*) e arquitetura (*architecture*). O VHDL não é *case sensitive*, ou seja, é indiferente para escrita em maiúsculas ou minúsculas, e não requer nenhuma formatação especial, como espaços, guias ou recuos. Os comandos são executados concorrentemente, ou melhor, a ocorrência de um evento em um sinal leva a execução de todos os comandos sensíveis aquele sinal, assim como acontece em um circuito real (D'AMORE, 2015). Esse modo de execução das rotinas aumenta a velocidade de processamento, quando comparado aos tradicionais controladores digitais, que executam as instruções de forma sequencial (OLIVEIRA FILHO, 2015). No VHDL cada linha de código ou instrução deve terminar com um ponto-e-vírgula, e as extensões de nome de arquivo podem ser *.vhd* ou *.vhdl*.

3 MATERIAL E MÉTODOS

3.1 Simulação do conversor DAB monofásico

Para verificar as vantagens das técnicas EPS e DPS em relação à SPS, quando o conversor DAB está operando com um $G \neq 1$ ou com potência menor que 1 kW, foi simulado, utilizando a ferramenta computacional PSIM[®], um exemplo de projeto. As especificações deste projeto são apresentadas na Tabela 1.

Tabela 1 - Especificações de projeto para o conversor simulado

Tensão de entrada (V_i)	96 V
Tensão de saída (V_o)	380 V
Potência de projeto (P_p)	3,5 kW
Defasagem angular (φ)	36°
Ganho de tensão (G)	1,0
Frequência de comutação (f_s)	20,016 kHz
Ondulação da tensão de saída (ΔV_o)	1%

Fonte: Autoria própria.

Os 96 V como tensão de entrada fazem referência a um banco de baterias com oito unidades de 12 V. A tensão de saída foi escolhida considerando-se barramentos de 380 V, comumente utilizados em microrredes e sistemas de distribuição CC. O ganho de tensão unitário possibilita a comutação não dissipativa para todas as faixas de operação do conversor.

Seguindo as especificações da Tabela 1 determinaram-se os demais parâmetros necessários à simulação, os cálculos foram realizados com auxílio do *software Mathcad*[®], que é um *software* padrão da indústria para cálculos de engenharia. A seguir são descritas as equações utilizadas e no Apêndice A constam os cálculos em detalhes, bem como as unidades das grandezas envolvidas.

A relação de transformação do transformador, elemento necessário para referir a tensão do lado secundário para o lado primário, foi projetada de tal forma que garantisse o ganho unitário $G = 1$ para o DAB em condições nominais de operação. Seu valor foi obtido a partir da Equação 1 (KIRSTEN, 2014):

$$\frac{N_1}{N_2} = \frac{V_i}{V_o} \cdot G \quad (1)$$

em que N_1 refere-se ao número de espiras do primário do transformador e N_2 ao número de

espiras do secundário.

A indutância de transmissão, elemento responsável pela transferência de potência, foi calculada com base na Equação 2 (SANTOS, 2011):

$$L_d = \left(\frac{V_i \cdot V_o}{\frac{N_2}{N_1} \cdot 2\pi \cdot f_s \cdot P_p} \right) \cdot \varphi \cdot \left(1 - \frac{|\varphi|}{\pi} \right) \quad (2)$$

onde φ é a defasagem angular entre as pontes primária e secundária do conversor, dado em radianos.

Para evitar a circulação de correntes contínuas através do transformador, decorrente da existência do tempo morto, inseriu-se um capacitor de acoplamento (C_a) em série com o transformador, cujo valor da capacitância foi determinado utilizando a Equação 3 (SANTOS, 2011):

$$C_a = \left(\frac{\text{Frequência relativa}}{f_s} \right)^2 \cdot \frac{1}{4 \cdot \pi \cdot L_d} \quad (3)$$

Na Equação 3, a frequência relativa é definida como a razão entre a frequência de comutação das chaves (f_s) pela frequência de ressonância do circuito *tank* $L_d C_a$. Na prática a frequência relativa pode ser considerada igual a 10 (SANTOS, 2011).

O capacitor de saída foi determinado utilizando a Equação 4 (SILVA, 2013):

$$C_o = \frac{\left[\left(V_o + \left(\frac{N_1}{N_2} \right) \cdot V_i \right) \cdot \left(\frac{\varphi}{\pi} \right) \cdot \left(\frac{T_s}{2} \right) \right]}{2 \cdot \pi \cdot f_s \cdot L_d \cdot (\Delta V_o \cdot V_o)} \quad (4)$$

em que T_s é o período de comutação das chaves semicondutoras do conversor e ΔV_o a ondulação de tensão na saída.

As resistências de carga utilizadas nas simulações foram determinadas por meio da Equação 5 (SANTOS, 2011).

$$R_c = \frac{V_o^2}{P_{\text{trabalho}}} \quad (5)$$

em que $P_{trabalho}$ é a potência de trabalho do conversor calculada a partir da Equação 6 (SANTOS, 2011).

$$P_{trabalho} = \left(\frac{V_i \cdot V_o}{\frac{N_2}{N_1} \cdot 2\pi \cdot f_s \cdot L_d} \right) \cdot \varphi \cdot \left(1 - \frac{|\varphi|}{\pi} \right) \quad (6)$$

Os parâmetros de simulação em sua maioria são iguais para todas as modulações, sendo somente modificada a parte de comando dos interruptores e a resistência de carga. A Tabela 2 reúne os resultados dos parâmetros obtidos para o exemplo de projeto.

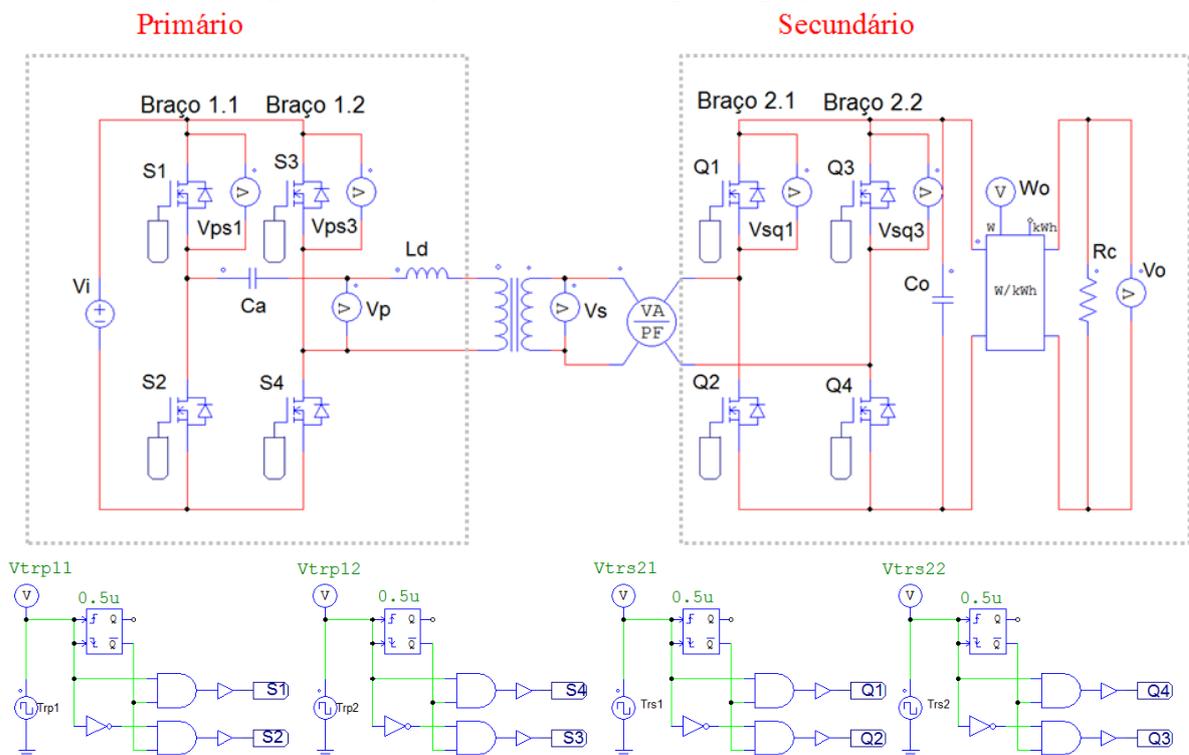
Tabela 2 - Parâmetros de simulação

Relação inversa de transformação	95/24
Indutância de transferência de potência (L_d)	10,524 μH
Capacitor de acoplamento (C_a)	600,757 μF
Capacitor de filtro (C_o)	401,557 μF
Resistência de carga (R_c)	41,257 Ω

Fonte: Autoria própria.

O esquemático do circuito de potência utilizado na simulação e os comandos das chaves semicondutoras encontram-se na Figura 10.

Figura 10 - Esquemático do exemplo de projeto simulado



Fonte: Autoria própria.

A manipulação de φ e δ foram realizadas seguindo as informações apresentadas por BAI; NIE; MI, 2010; ZHAO *et al.*, 2012; SILVA, 2013. Para verificar a utilização da modulação EPS, considerou-se o conversor com um ganho de tensão diferente da unidade. Já para a análise do DPS, utilizou-se uma condição de carga leve, ou seja, uma potência de carga menor que 1,0 kW. Nas próximas seções, as nomenclaturas para portadoras, lado primário e secundário e sinais de saída ou sinais do comando para os interruptores são todas com base no esquemático do conversor mostrado na Figura 10.

3.2 Desenvolvimento das técnicas de modulações

As modulações SPS, EPS e DPS foram desenvolvidas em VHDL com o auxílio da ferramenta computacional EDA *Quartus II* da Altera, e empregou-se o *software ModelSim-Altera Web Edition* para realização de simulações. Para analisar o comportamento dinâmico das descrições VHDL, utilizou-se a placa DE0-Nano da Altera que contém o FPGA *Cyclone IV EP4CE22F17C6N*. A escolha deste kit está relacionada com a sua disponibilidade no laboratório da Universidade. A Tabela 3 apresenta um resumo das características da placa DE0-Nano e a Figura 11 exibe o kit de desenvolvimento.

Tabela 3 - Resumo das características da placa DE0-Nano da Altera

FPGA <i>Cyclone IV EP4CE22F17C6N</i>
Máximo de 153 pinos de I/O
2 Conectores de expansão de 40 pinos com 72 pinos de I/O, 2 pinos de 5V, 2 pinos de 3.3V e 4 pinos para o terra
2 pinos de alimentação externa (3.6-5.7V)
Dispositivo de configuração serial da Altera EPCS
Controlador USB-Blaster, com suporte para JTAG
Dispositivo <i>Spansion</i> EPCS64 para programação serial ativa
Conversor A/D modelo NS ADC128S022
Oscilador de 50 MHz para sinais de clock
G-Sensor ADI ADXL345
32 MBytes de memória SDRAM
2 kBytes de memória I2C EEPROM
8 LEDs verdes
4 Interruptores do tipo <i>push bottom</i>
4 chaves do tipo <i>DIP Switch</i>

Fonte: Autoria própria.

Figura 11 - Placa DE0-Nano de desenvolvimento da Altera



Fonte: Altera web site (2017).

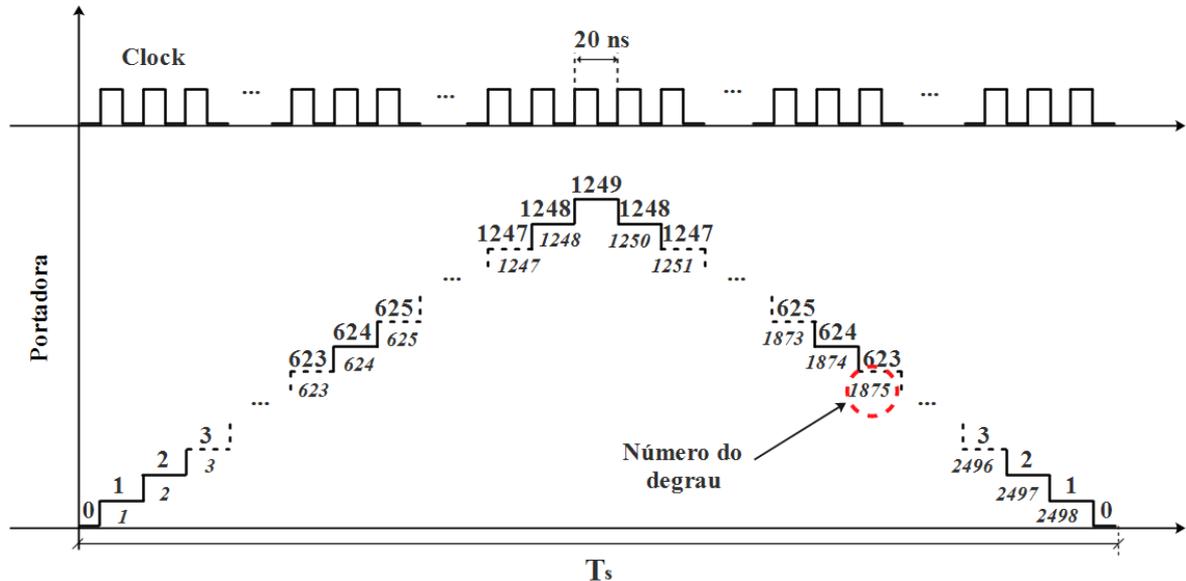
3.2.1 Portadoras

Neste trabalho, as técnicas SPS, EPS e DPS foram desenvolvidas a partir de modulações PWM com referência fixa, garantindo uma razão cíclica de 50%, e manipulando-se as portadoras foi possível gerar os ângulos de defasagem φ e δ . Utilizando esse método, cada técnica exigiu o controle de um determinado número de portadoras. Tais sinais de portadoras foram gerados a partir de contadores síncronos que realizam contagens progressivas e regressivas. O número de contagens (N_c) necessárias para produzir cada triangular foi determinado pela razão entre a frequência de *clock* (f_{clock}) do oscilador de 50 MHz (contido no kit de desenvolvimento) e a frequência de comutação desejada. Considerou-se que as modulações seriam aplicadas a um conversor semelhante ao apresentado na Tabela 1, cuja frequência de comutação é de 20,016 kHz. Com base nesses dados calculou-se N_c por meio da Equação 7:

$$N_c = \frac{f_{clock}}{f_s} = \frac{50 \cdot 10^6}{20,016 \cdot 10^6} = 2498 \quad (7)$$

Esse valor representa o número de degraus necessário para criar o sinal de portadora. Logo, o valor máximo que cada contador deve atingir na contagem crescente foi obtido dividindo-se o total de degraus por dois, que resulta em 1249. A Figura 12 esboça o período de uma portadora gerada por contagens progressivas e regressivas.

Figura 12 - Esboço de uma portadora gerada por contador



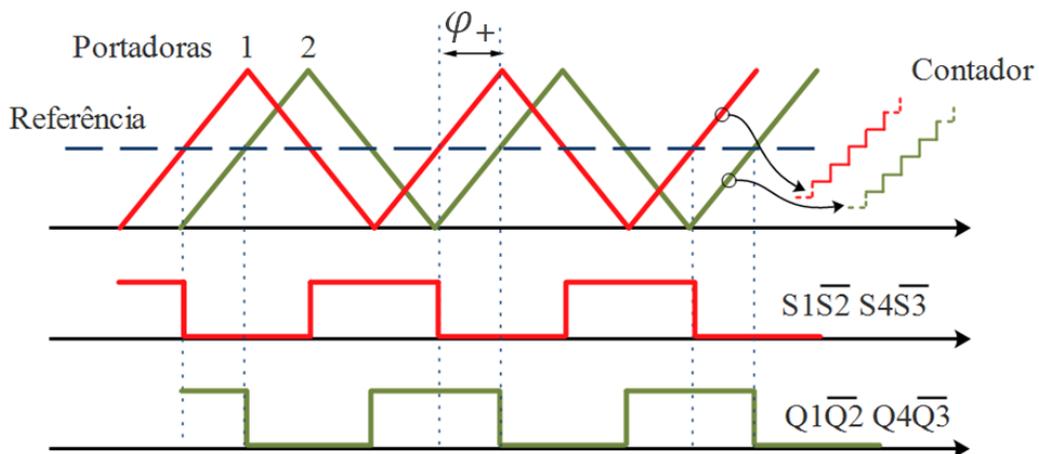
Fonte: Adaptado de Henn (2012).

Observando a Figura 12 é fácil perceber que, a contagem inicia em 0 e segue incrementando uma unidade ao valor anterior até alcançar o máximo de 1249, onde ocorre a inversão e passa a ser decrescente. Quando o contador chega a zero, novamente inverte-se o sentido, de maneira que o mesmo passa a operar de forma ascendente, essa alternância se repete ao longo do tempo de operação da modulação. A partir desse processo é gerado um sinal de portadora com período T_s e por inspeção, nota-se que o valor do sinal de referência que garante uma razão cíclica de 50% aos interruptores correspondentes, é 625, por ser a mediana dos 1249 degraus.

A cada degrau foi atribuído um número N_d que o localiza dentro do processo de contagem. Analisando a Figura 12, percebe-se que meio período da portadora, correspondente a 180° , é alcançado quando N_d é igual a 1249, e um período completo ou 360° , quando N_d vale 2498. Regras de três simples foram utilizadas com base nessas correspondências para se estabelecer relações entre T_s , N_d e os ângulos φ .

Para a técnica SPS foi necessário controlar duas triangulares, uma para o primário e outra para o secundário do conversor. Os interruptores diagonais possuem o mesmo sinal de comando, ao passo que, os interruptores superior e inferior de um mesmo braço, são controlados por sinais complementares. O ângulo φ_+ entre as pontes do DAB foi obtido fixando-se a portadora do primário (1) e defasando-se a do secundário (2), como pode ser observado na Figura 13.

Figura 13 - Atualização de φ_+ a partir da defasagem entre as portadoras 1 e 2

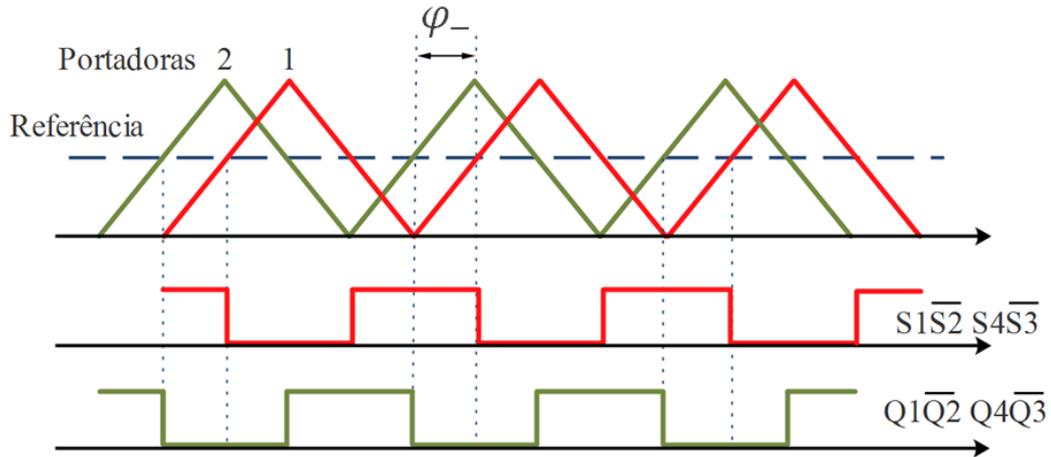


Fonte: Autoria própria.

Para controlar o sentido do fluxo da potência, a triangular (2) é adiantada ou atrasada em relação a triangular (1). O índice (+) no deslocamento angular exibido na Figura 13 indica que o fluxo de transferência de energia é do primário para o secundário, e que (1) está adiantada em relação a (2). Atrasando-se a triangular do primário, índice (-), tem-se a inversão

do fluxo de potência. Na Figura 14 mostram-se sinais de portadora para a inversão do fluxo de potência.

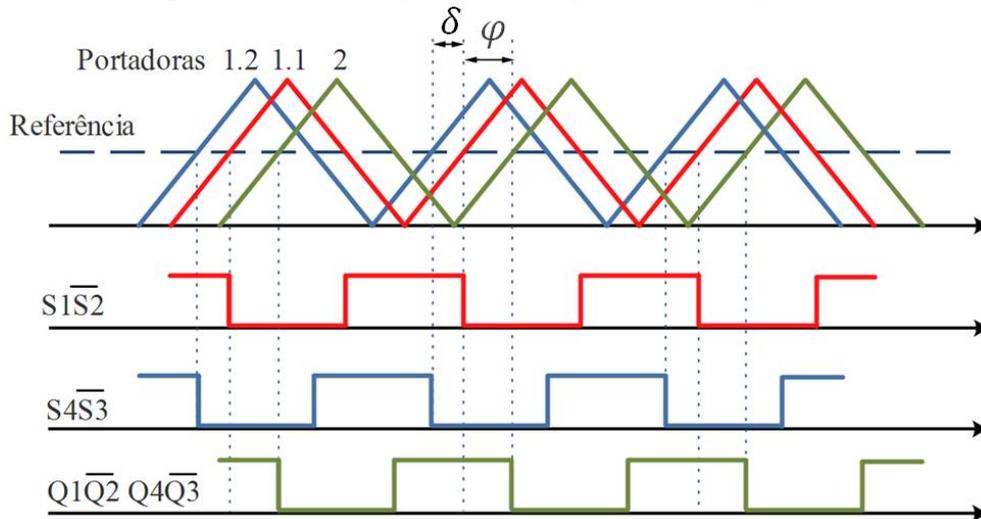
Figura 14 - Atualização de φ_- a partir da defasagem entre as portadoras 1 e 2



Fonte: Autoria própria.

Na modulação EPS três portadoras foram necessárias, duas para o lado primário, ou seja, uma para cada braço, e a terceira triangular foi responsável por modular o lado secundário. Gerou-se δ adiantando-se a portadora do segundo braço do primário (1.2), em relação a do primeiro (1.1) utilizada como referência. O ângulo φ foi obtido defasando-se a triangular (2) em relação a (1.1). A Figura 15 mostra as características das formas de onda para a técnica utilizada no desenvolvimento da modulação EPS.

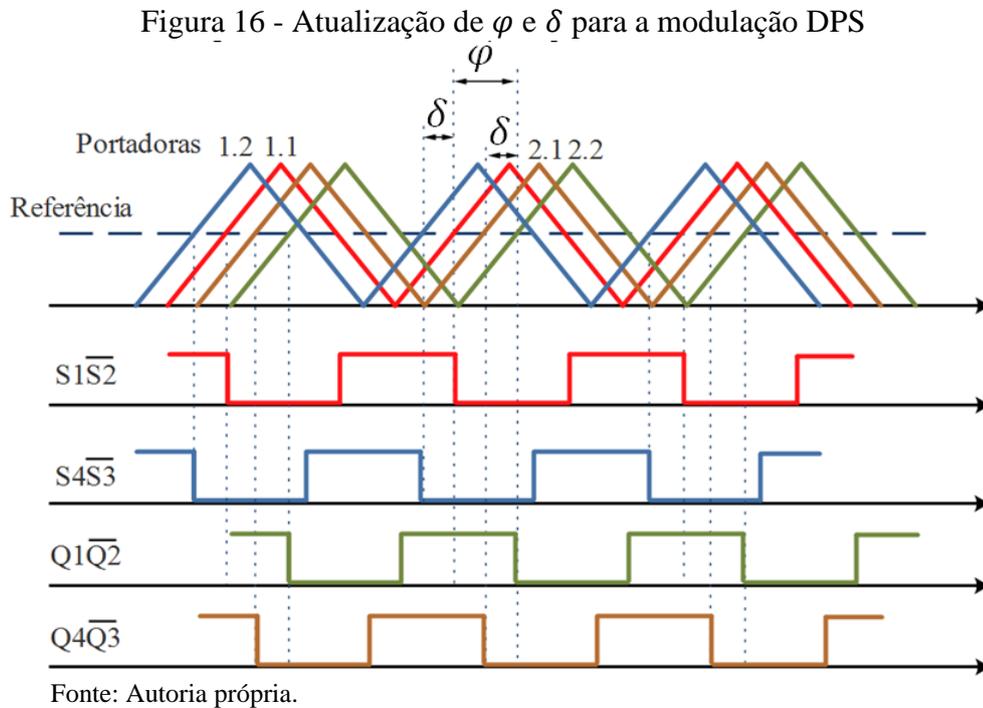
Figura 15 - Atualização de φ e δ para a modulação EPS



Fonte: Autoria própria.

Nesta técnica, a direção do fluxo de potência é obtida do mesmo modo como apresentado nas Figuras 13 e 14, mas considerando a portadora (1.1) como referência. A modulação também pode consistir na aplicação de δ ao secundário, bastando para isso, controlar o primário com apenas uma triangular e secundário com duas.

Já na técnica *Dual-Phase-Shift*, controla-se quatro triangulares, duas para o primário, que são as triangulares (1.1) e (1.2). Para o lado secundário, tem-se as triangulares (2.1) e (2.2). A Figura 16 mostra as características das formas de onda para a técnica utilizada no desenvolvimento da modulação DPS.



Nesta modulação criaram-se as defasagens φ e δ como citado nos parágrafos anteriores. A única diferença é que existe um defasamento δ no lado secundário de mesmo valor que aquele do primário. Este defasamento pode ser observado na Figura 16 através das triangulares (2.1) e (2.2).

As defasagens φ foram obtidas iniciando-se o contador responsável por gerar o sinal de (2) ou (2.1), após o contador responsável pelo sinal de (1) ou (1.1) ter realizado um determinado número de contagens, ou seja, defasando-se esses contadores. A escolha do contador de referência e daquele que será defasado depende do tipo de modulação como descrito anteriormente. Para φ_+ , em que a portadora de referência está adiantada em relação a (2) ou (2.1), a defasagem angular foi conseguida deslocando-se (2) ou (2.1) ao longo da primeira metade do período da portadora (1) ou (1.1), que corresponde a um N_d entre 0 e 1249. A partir de uma regra de três simples com base nas correspondências supracitadas, encontra-se a Equação 8, que relaciona N_d com ângulo esperado φ_+ :

$$N_d = \left(\frac{1249}{180} \right) \cdot \varphi_+ \quad (8)$$

em que φ_+ deve ser fornecido em graus e está compreendido entre 0 e 180°.

Para o ângulo φ_- , em que a portadora de referência está atrasada em relação a (2) ou (2.1), a defasagem foi conseguida deslocando-se (2) ou (2.1) ao longo da segunda metade do período da portadora (1) ou (1.1). Neste caso, o N_d escolhido deve estar entre 1249 e 2498. A Equação 9 permite encontrar o valor correspondente de N_d para um φ_- desejado:

$$N_d = \left(\frac{2498}{360}\right) \cdot (360 + \varphi_-) \quad (9)$$

em que φ_- deve ser fornecido em graus e está compreendido entre -180° e 0.

As defasagens entre as portadoras são dadas em segundos, assim, a verificação dos valores de φ_+ e φ_- é realizado por meio da Equação 10:

$$\varphi = \left(\frac{360}{T_S}\right) \cdot T_\varphi \quad (10)$$

em que T_φ é o valor da defasagem em segundos observada na simulação.

Para gerar o ângulo δ do EPS, primeiramente defasou-se de 180° a portadora (1.2) em relação do (1.1), ou seja, o contador de (1.2) será inicializado quando o contador de (1.1) chegar a 1249, isso no início da modulação. Nesta posição a portadora (1.2) é considerada em fase com (1.1), e o ângulo δ é obtido deslocando-se (1.2) ao longo da primeira metade do período de (1.1). Esse deslocamento foi proporcionado iniciando-se o contador responsável pela triangular do segundo braço do primário do conversor, após o contador responsável pela triangular do primeiro braço, ter atingido um determinado degrau N_d entre 0 e 1249. Isso permitiu que a triangular (1.2) fosse adiantada em relação a triangular (1.1). O mesmo raciocínio foi empregado na técnica DPS, mas é válido ressaltar que no secundário δ é conseguido adiantando-se (2.2) em relação a (2.1). A Equação 11 relaciona N_d com ângulo esperado δ .

$$N_d = \left(\frac{1249}{180}\right) \cdot (180 + \delta) \quad (11)$$

Nas simulações, as defasagens δ também são dadas em submúltiplos do segundo, assim, para verificar os valores de δ utilizou-se a Equação 12:

$$\delta = \left(\frac{180}{T_s/2}\right) \cdot T_\delta \quad (12)$$

em que T_δ é o valor da defasagem em submúltiplos do segundo observada na simulação.

A Tabela 4 apresenta os dados de projeto para o desenvolvimento das modulações propostas neste trabalho.

Tabela 4 - Dados de projeto para o desenvolvimento das modulações SPS, EPS e DPS

PWM			
PORTADORAS REFERÊNCIA PARA RAZÃO CÍCLICA DE 50% FREQUÊNCIA	Valor máximo	1249	
	Valor mínimo	0	
		625	
		20,016 kHz	
MODULAÇÕES			
TIPOS	Nº DE PORTADORAS	DEFASAGENS	
		φ	δ
SPS	2		-
EPS	3	Entre o primário e o secundário	Entre os braços do primário
DPS	4		Entre os braços do primário e do secundário

Fonte: Autoria própria.

3.2.2 Implementação da modulação SPS

As técnicas SPS, EPS e DPS foram construídas a partir de quatro blocos fundamentais desenvolvidos em VHDL e nomeados como: portadora, *atualiza_phi*, *atualiza_delta* e *sinais_comando*. Nos três primeiros a lógica interna não varia com o tipo de modulação, mas o bloco *sinais_comando* é adaptado para cada caso. Tais blocos quando em conjunto e interligados de forma adequada, atuam como uma das três modulações propostas neste trabalho. As rotinas em VHDL para esses blocos podem ser vistas e analisadas no Apêndice E deste trabalho. No Apêndice B consta o diagrama de blocos da modulação SPS criado na ferramenta computacional *Quartus II*.

Os blocos fundamentais tiveram seus nomes adaptados para melhor representar o lugar que ocupam no circuito da modulação. Percebe-se que o circuito da modulação SPS dispensa

a utilização do bloco atualiza delta. A entrada *clock* é conectada a todos os blocos e fornece o *clock* de 50 MHz disponibilizado pelo kit de desenvolvimento. Todos os componentes do circuito possuem suas lógicas internas sensíveis a borda de subida. Percebe-se também que além do sinal de *clock*, têm-se como entrada os sinais *halita_primario* e *phi[11..0]*, em que *phi[11..0]* é um valor inteiro de 12 bits, compreendido entre 0 e 2498. A entrada *halita_primario* é utilizada para habilita ou desabilitar o bloco de referência *portadora_primario*, isso cria um efeito em cascata que desabilita todo o sistema, zerando as saída do bloco *sinais_de_comando*.

O componente *atualizador_de_phi* tem a tarefa de gerar as defasagens φ . Para isso verifica se houve uma atualização do valor do sinal *phi[11..0]*, em caso positivo esse novo valor é armazenado, e a cada borda de subida do pulso de *clock*, é comparado com o degrau atingido pelo contador do bloco *portadora_primario* através do pino *contador[10..0]*. Caso esses valores coincidam, um sinal de habilitação é enviado por meio do sinal *enb_triangular* para o bloco *portadora_secudario*, iniciando assim o contador deste bloco. Enquanto a lógica de comparação não for verdadeira, o bloco *portadora_secudario* permanece desativado. O sinal *flag* indica se contagem na entrada *contador[10..0]* é progressiva ou regressiva, quando a contagem está no valor mínimo ou máximo, o valor de *flag* é irrelevante devido a lógica interna empregada, então os sentidos da contagem são ditados pelas entradas *maximo* e *minimo*. O valor de φ_+ será atualizado a partir da contagem crescente e o valor de φ_- considerando a decrescente.

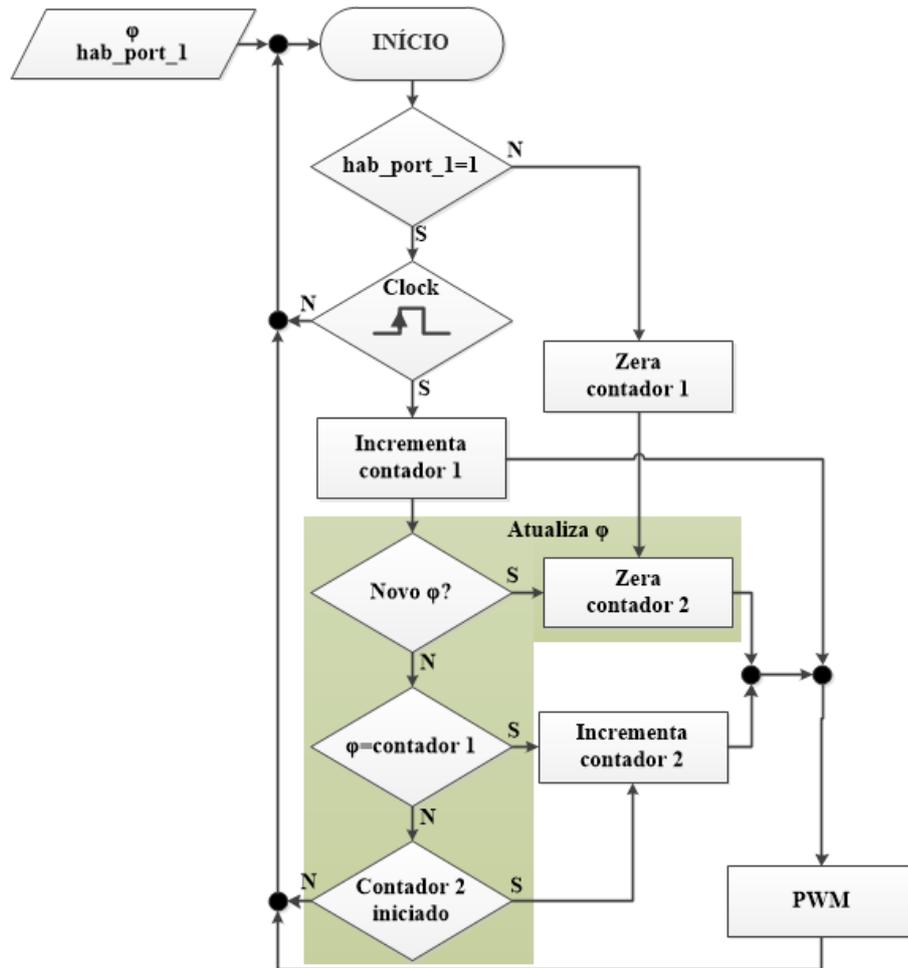
No bloco *portadora*, que neste caso faz referência tanto ao componente *portadora_primario*, quanto a *portadora_secudario*, consta um contador que realiza contagens crescentes e decrescentes para gerar uma triangular, como comentado no subtópico anterior. As contagens são sincronizadas pelo pulso de entrada *clock* e a cada borda de subida o contador incrementa em uma unidade o valor de sua saída de 11 bits. O pino *enb_triangular* é um canal para a habilitação ou desligamento do bloco. As três saídas *flag*, *maximo* e *mínimo* são utilizadas para repassar dados sobre o sentido de contagem aos blocos *atualizador_de_phi* e *atualizador_de_delta*.

O bloco *sinais_de_comando* ler os valores nas entradas *contador_1[10..0]* e *contador_2[10..0]* e compara com o valor de referência 625, e a partir disso gera os sinais PWM para os interruptores. Vale ressaltar que esse bloco também é responsável por fazer a correspondência entre uma determinada portadora e as chaves comandadas por ela. Deste modo, o número de entradas “*contador_n[10..0]*” e “*enb_triangular_n*” depende do tipo de modulação. As entradas *enb_triangular_1* e *enb_triangular_2* são utilizadas para ativar ou

desativar as chaves que correspondem a essas triangulares, neste caso, os blocos *portadora_primario* e *portadora_secudario*.

A Figura 17 mostra um fluxograma que representa de forma simplificada o funcionamento da modulação SPS.

Figura 17 - Fluxograma funcional da SPS



Fonte: Autoria própria.

Neste esquema, os processos *Zera contador* correspondem a lógica desenvolvida para desativar as portadoras. A entrada *hab_port_1* faz referência ao sinal de habilitação da triangular do primário, sendo comandado por uma chave externa.

Inicialmente são lidos os dados sobre φ e *hab_port_1* fornecidos pelo usuário. Quando *hab_port_1* é igual a 1, o funcionamento dos componentes da modulação é orientado pelo *Clock*. O *contador 1* incrementado sempre que ocorre a borda de subida. Em seguida é verificado se houve atualização de φ , em caso positivo, o novo valor é armazenado e o *contador 2* é zerado. A cada borda de subida do sinal de *Clock*, φ é comparado com o degrau atingido por *contador 1*, quando os valores coincidirem o *contador 2* é incrementado (que também significa iniciado).

O processo PWM é referente ao bloco *sinais_de_comando*, possui a função de verificar se os valores apresentados pelos contadores são maiores ou menores que a referência de 625 e partir disso gerar os comandos para os interruptores.

3.2.3 Implementação da modulação EPS

O circuito que realiza a modulação EPS, difere do anterior pelo modo como as conexões são realizadas, mais especificamente, por apresentar três blocos *portadora* e um bloco *atualiza_delta*. Esses blocos também tiveram seus nomes adaptados para melhor representar o lugar que ocupam no circuito da modulação. O diagrama de blocos para esta modulação pode ser visto no Apêndice C.

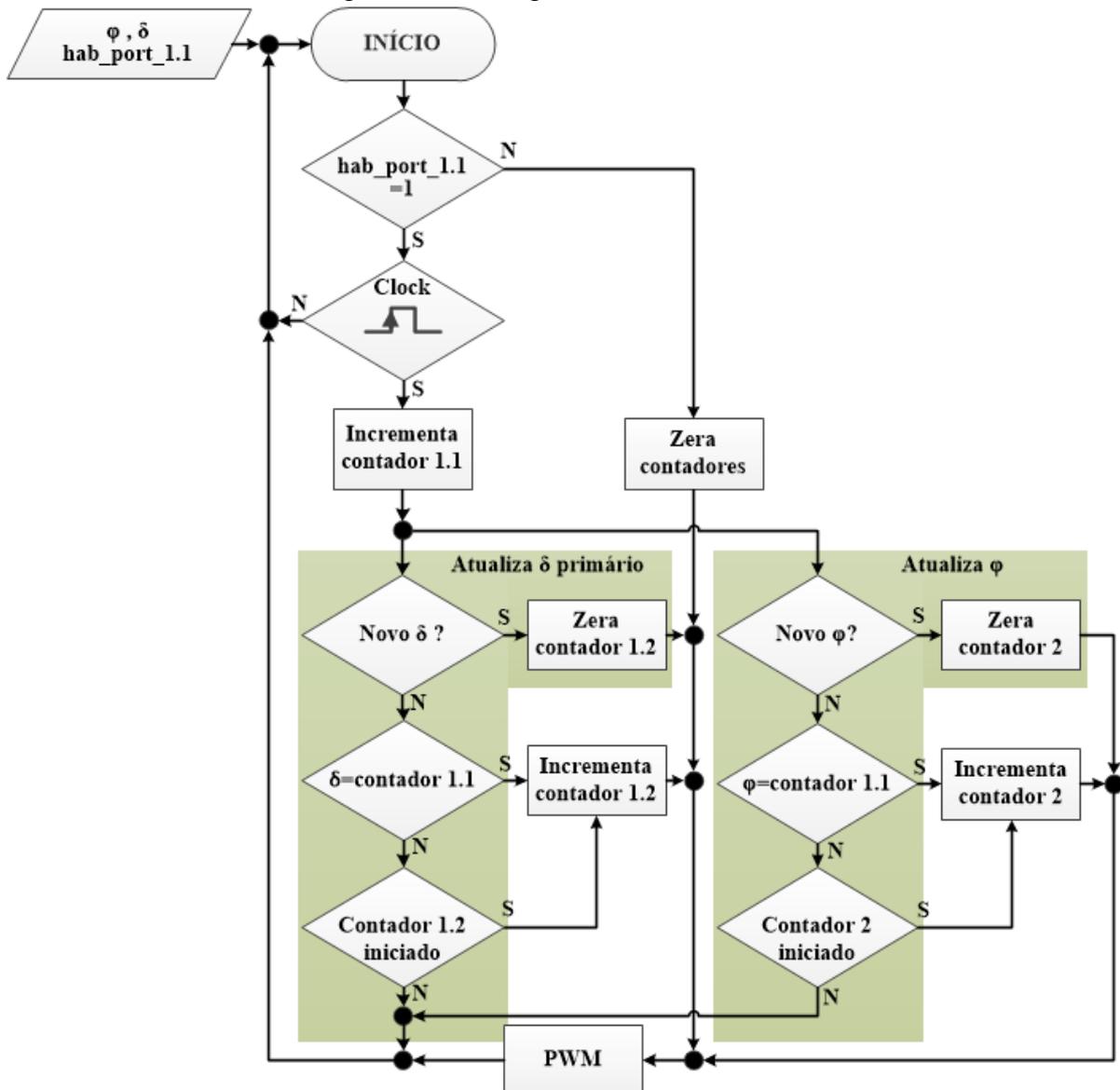
As funções descritas anteriormente para cada bloco também são válidas aqui, mas algumas comunicações entre esses blocos são diferentes. Neste circuito a portadora de referência é a *portadora_11*. Logo, a entrada *halita_primario_11* é utilizada para habilitar ou desabilitar este bloco, e, com isso, criar o mesmo efeito em cascata que desabilita todo o sistema, zerando as saídas do bloco *sinais_de_comando*. O componente *atualizador_de_phi* recebe as entradas *contador[10..0]*, *flag*, *maximo* e *mínimo* do componente *portadora_11*, e como no circuito anterior, envia um sinal para ativar ou não o bloco *portadora_secudario*.

O bloco *atualizador_de_delta*, é responsável por criar a defasagem δ entre os braços de uma mesma ponte. Esse componente recebe um valor inteiro de 11 bits através do pino *delta[10..0]* e o armazena, a cada borda de subida do pulso de *clock*, esse valor é comparado com o degrau atingido pelo contador do bloco *portadora_11* através do pino *contador[10..0]*. Caso esses valores coincidam, um sinal de habilitação é enviado por meio do pino *enb_triangular* para o bloco *portadora_12*, iniciando o contador deste bloco. Durante o tempo em que a lógica de comparação não for verdadeira, o bloco *portadora_12* permanece desativado. O pino *flag* indica se a entrada *contador[10..0]* é crescente ou decrescente, mas quando *contador[10..0]* está no valor máximo, a entrada *flag* não sinaliza o sentido da contagem, então esse dado passa a ser obtido através da entrada *maximo*.

Como comentando antes, houve um acréscimo de entradas ao bloco *sinais_de_comando*, devido a utilização de três portadoras. Os três pinos *contador_11[10..0]*, *contador_12[10..0]* e *contador_2[10..0]* recebem as saídas das portadoras com a correspondente numeração, e as entradas *enb_triangular_11*, *enb_triangular_12* e *enb_triangular_2* os sinais de habilitação dessas portadoras.

Na Figura 18 é apresentado um fluxograma que mostra de forma simplificada o funcionamento da modulação EPS.

Figura 18 - Fluxograma funcional da EPS



Fonte: Autoria própria.

Os processos *Zera contador*, assim como na modulação SPS, corresponde a lógica desenvolvida para desativar as portadoras. A entrada *hab_port_1.1* que é comandada por uma chave externa, refere-se ao sinal de habilitação da triangular do primeiro braço primário. Quando *hab_port_1.1* é colocada em nível baixo permite desabilitar todas as portadoras através do processo *Zera contadores* e, conseqüentemente, o funcionamento da modulação.

O funcionamento do algoritmo da Figura 18 é semelhante ao apresentado na Figura 17, a única diferença reside no acréscimo da lógica para a defasagem δ entre os braços do primário, em que a análise pode ser realizada da mesma forma que na defasagem φ .

3.2.4 Implementação modulação DPS

Essa técnica foi desenvolvida a partir de um circuito semelhante ao do EPS, mas apresentando um bloco *portadora* e um *atualiza delta* a mais. O diagrama de blocos da modulação DPS pode ser observado no Apêndice D. Pelo diagrama, percebe-se que as conexões referentes a parte do lado primário são idênticas as do EPS.

Para o lado secundário tem-se um bloco *atualizador_de_delta_secudario*, que como especifica o nome, serve para criar o ângulo δ entre as triangulares dos blocos *portadora_21* e *portadora_22*. O componente *atualizador_de_delta_secudairo* recebe os sinais *contador[10..0]*, *flag* e *maximo* do *portadora_21* e o seu pino *delta[10..0]* apresenta o mesmo valor que o do *atualizador_de_delta_primario*, pois estão conectados. O pino *enb_triangular* é responsável pela habilitação do bloco *portadora_22* de acordo com a lógica de comparação entre *delta[10..0]* e *contador[10..0]*.

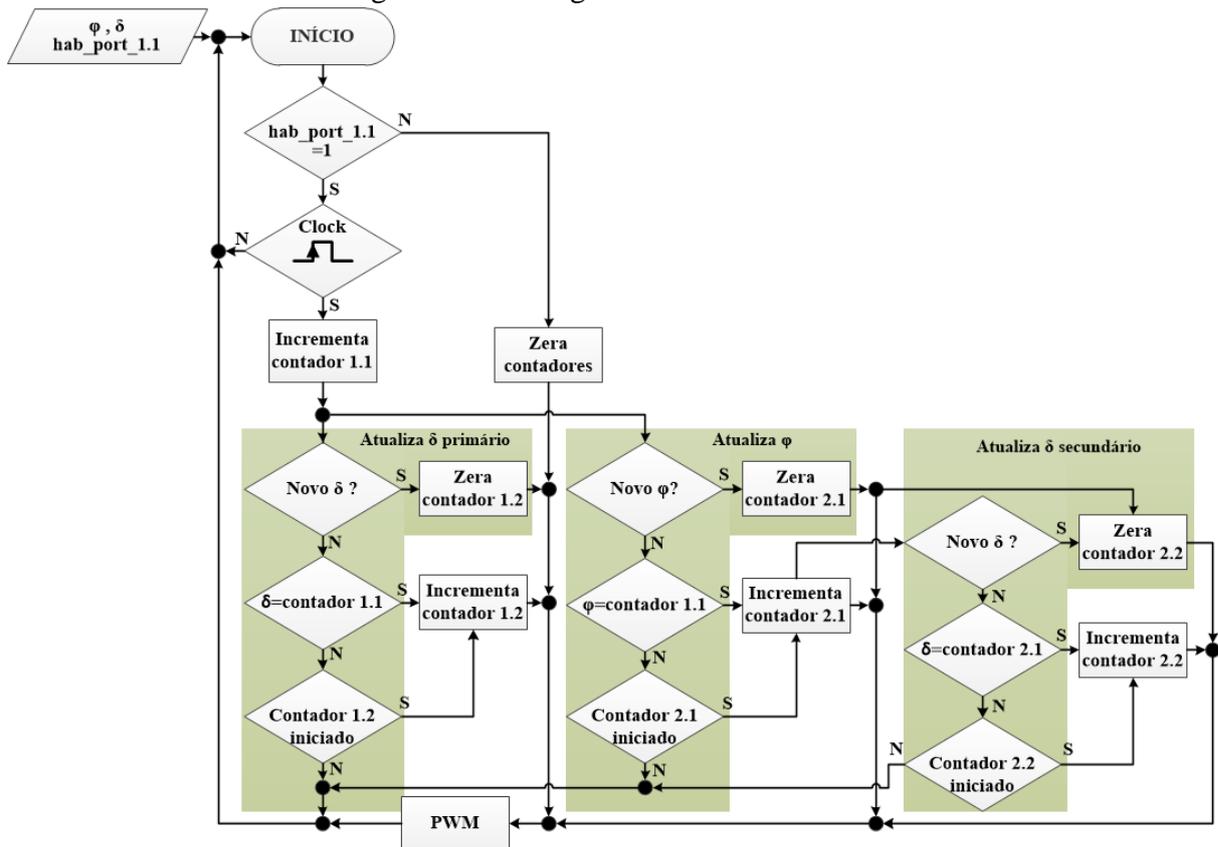
Nesta modulação o bloco *atualizador_de_phi* continua recebendo os dados de *contador[10..0]*, *flag*, *maximo* e *mínimo* do componente *portadora_11*, mas seu sinal *enb_triangular* segue para *portadora_21*, pois para esta técnica, o ângulo φ ocorre entre a portadora do primeiro braço do secundário em relação a do primeiro braço do primário.

Neste circuito, o bloco *sinais_de_comando* contém as entradas *contador_11[10..0]*, *contador_12[10..0]*, *contador_21[10..0]* e *contador_22[10..0]* que referem-se ao contador de cada uma das portadoras. Os pinos *enb_triangular_11*, *enb_triangular_12*, *enb_triangular_21* e *enb_triangular_22* referem-se aos sinais da habilitação dessas triangulares.

O fluxograma da Figura 19 apresenta de forma simplificada o funcionamento da modulação DPS. Neste esquema, *Zera contador*, assim como nas outras modulações, corresponde a lógica desenvolvida para desativar as portadoras. A entrada *hab_port_1.1* comandada por uma chave externa, refere-se ao sinal de habilitação da triangular do primeiro braço primário. Quando colocada em nível baixo permite desabilitar todas as portadoras e, conseqüentemente, a modulação.

Neste caso, o algoritmo apresenta um único δ como entrada, mas a lógica para atualizar o δ do primário, bem como do secundário são idênticas, como pode ser observado na Figura 19. A análise do fluxograma funcional da DPS pode ser realizada de modo semelhante ao descrito para as Figuras 17 e 18.

Figura 19 - Fluxograma funcional da DPS



Fonte: Autoria própria.

3.3 Análise das modulações com osciloscópio quando programadas no FPGA

Para verificar os sinais de saída das técnicas SPS, EPS e DPS em um osciloscópio, primeiramente foi necessário criar uma rotina em VHDL para o conversor analógico-digital (A/D) presente na placa DE0-Nano, pois o A/D foi o responsável por converter níveis de tensão CC em valores inteiros, utilizados como entradas para φ e δ . As características desse A/D podem ser verificadas na Tabela 5.

Tabela 5 - Características do conversor analógico-digital da placa DE0-Nano

Fabricante	National Semiconductor
Circuito integrado	ADC128S022
Clock de conversão	0,8 a 3,2 MHz
Velocidades de conversão	50 a 200 ksps
Número de bits (<i>nbits</i>)	12
Tensão de amostragem ($V_{A/D}$)	3,3 V
Número de canais para entrada analógica (V_a)	8

Fonte: Autoria própria.

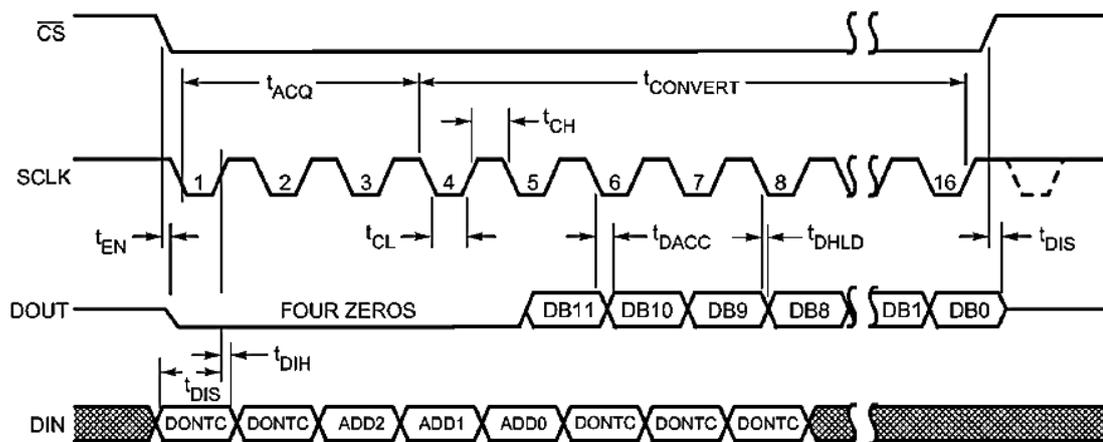
O nível de tensão CC na entrada analógica do conversor A/D que gera na saída digital um valor inteiro (N_d), correspondente ao φ ou δ desejado, pode ser obtido pelo produto dessa quantidade inteira com a resolução (K_{AD}) do conversor analógico-digital. Deste modo, para a determinação da resolução do A/D utiliza-se a Equação 13 (TOCCI; WIDMER; MOSS, 2011; OLIVEIRA FILHO, 2015):

$$K_{AD} = \frac{V_{A/D}}{2^{nbits-1}} \quad (13)$$

Inserindo-se os dados de $V_{A/D}$ e $nbits$ da Tabela 5 na Equação 13, chega-se a uma resolução de aproximadamente 0,806 mV.

O conversor ADC128S022 foi utilizado no modo serial, em que as janelas de conversão apresentam um determinado tempo entre elas, e neste intervalo, o sinal de habilitação do conversor (CS) é colocado em nível lógico alto, desligando o A/D. O diagrama de tempo para o modo de operação serial é apresentado na Figura 20.

Figura 20 - Diagrama de tempo do modo serial do ADC128S022



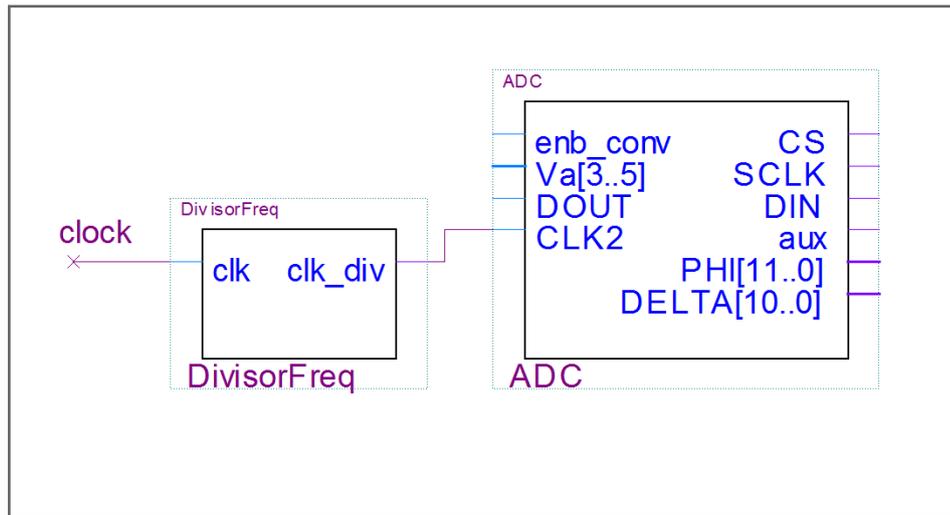
Fonte: Texas Instruments

Com base no diagrama da Figura 20 e no protocolo de comunicação serial apresentado por Praça (2013), desenvolve-se uma rotina para implementar a leitura do conversor A/D no modo serial. Como a frequência máxima de operação do ADC128S022 é 3,2 MHz, também construiu-se um divisor de frequência em VHDL que permite obter uma faixa suportada pelo conversor analógico-digital. Os códigos dessas rotinas encontram-se nos Apêndices F e G. A Figura 21 apresenta o diagrama de blocos do conjunto divisor de frequência mais A/D.

Observando as Figuras 20 e 21, é possível compreender o funcionamento da conversão A/D. O bloco *DivisorFreq* é responsável por receber a frequência de 50 MHz do kit de desenvolvimento através do pino *clock* e dividir por 16. Em seguida deve repassar os 3,125

MHz resultantes ao bloco ADC por meio do pino de saída *clk_div*. Internamente, o componente *DivisorFreq* possui um contador síncrono que a cada borda de subida do *clock* externo incrementa em um, e nos 8 primeiros pulsos envia para a saída *clk_div* um sinal de nível baixo, e nos 8 pulsos restantes envia um sinal de nível lógico alto, ao chegar em 16 o contador é reiniciado. Esse processo permite dividir a frequência externa de entrada por 16.

Figura 21 - Diagrama de blocos do divisor de frequência mais conversor A/D



Fonte: Autoria própria.

O bloco *ADC* tem a função de efetuar a comunicação entre o FPGA e o conversor ADC128S022. A entrada *CLK2* recebe o *clock* do bloco *DivisorFreq* e repassa ao pino *SCLK*, que entra no *A/D* com esses pulsos para administrar a conversão. Nas bordas de subida do sinal *SCLK*, o bloco *ADC* envia ao *A/D* pelo canal *DIN*, o endereço de 3 bits referente ao canal analógico no qual se deseja converter a tensão. Após definir o canal, a cada borda de subida o componente *ADC* retorna serialmente valor convertido, lido no ADC128S022 através do pino *DOUT*, totalizando uma string de 16 bits em que o valor convertido está no últimos 12 bits. O pino *CS* permite habilitar o ADC128S022 para realizar a conversão e depois desativar. A entrada *Va[3..5]* possibilita a multiplexação das entradas analógicas a partir dos 8 pinos disponíveis para esta função no ADC128S022. A entrada *enb_conv* e a saída *aux*, permitem configurar a forma de habilitação do conversor A/D por meio do pino *CS*. E, por fim, os pinos *PHI[11..0]* e *DELTA[10..0]* apresentam os valores lidos no pino *DOUT*, que representam as defasagens de entrada nos blocos *atualizador_de_phi* e *atualizador_de_delta*.

Com o bloco de conversão A/D finalizado, o próximo passo foi inseri-lo nos circuitos da SPS, EPS e DPS. Na sequência programou-se o FPGA com cada uma dessas modulações

para que fossem analisadas por meio do osciloscópio. Os instrumentos e componentes eletrônicos utilizados nesta parte dos procedimentos estão descritos na Tabela 6.

Tabela 6 - Instrumentos e componentes utilizados no teste prático das modulações

ESPECIFICAÇÃO	QUANTIDADE	CARACTERÍSTICAS
Osciloscópio Digital Tektronix MSO2012b	1	Largura de banda de 100 MHz, 02 canais analógicos e de 1 GS/s, 16 canais digitais de 500 MS/s, sensibilidade de 2mV/div à 5V/div, tensão de entrada BNC de 300Vrms, com acoplamentos AC, DC, GND
Multímetro digital bancada Keithley 2110	1	Display duplo, 5½ dígitos, 15 funções de medição e 7 funções matemáticas
Protoboard Hikari Hk-p300	1	Matriz de contato de 3220 Furos
Potenciômetro Trimpot 3006p	2	20 kOhms, 3/4 W e 15 Voltas
Jumpers	vários	-

Fonte: Autoria própria.

Após a programação do FPGA, as ponteiras digitais do osciloscópio foram conectadas aos pinos da placa DE0-Nano que correspondiam as saídas da modulação em teste. Para fornecer ao ADC128S022 os valores de φ ou δ por meio de $V_a[3..5]$ do bloco ADC, utilizou-se duas entradas analógicas do A/D multiplexadas por três chaves *DIP Switch* do kit. Um potenciômetro foi colocado em série com cada uma das duas entradas V_a , de modo a possibilitar que o nível de tensão nesses pinos fosse ajustado de acordo com o valor de φ ou δ desejados. As tensões V_a foram calculadas de acordo com a Equação 14, sendo N_d obtido através das Equações 6, 7 ou 9.

$$V_a = K_{AD} \cdot N_d \quad (14)$$

Para verificar o nível dessas tensões empregou-se o multímetro digital apresentado na Tabela 6.

A entrada que garante o funcionamento ou não da modulação, por exemplo, *halita_primario_11* para a modulação EPS, também foi configurada para ser comandada a partir de um interruptor *DIP Switch* da placa de desenvolvimento.

Como a tensão de entrada analógica opera de forma contínua, a taxa de amostragem depende da velocidade que se desejava atualizar φ ou δ . Então criou-se uma rotina que habilita a conversão A/D a cada 1 segundo, pois as atualizações dos deslocamentos de fase eram somente para efeito de teste.

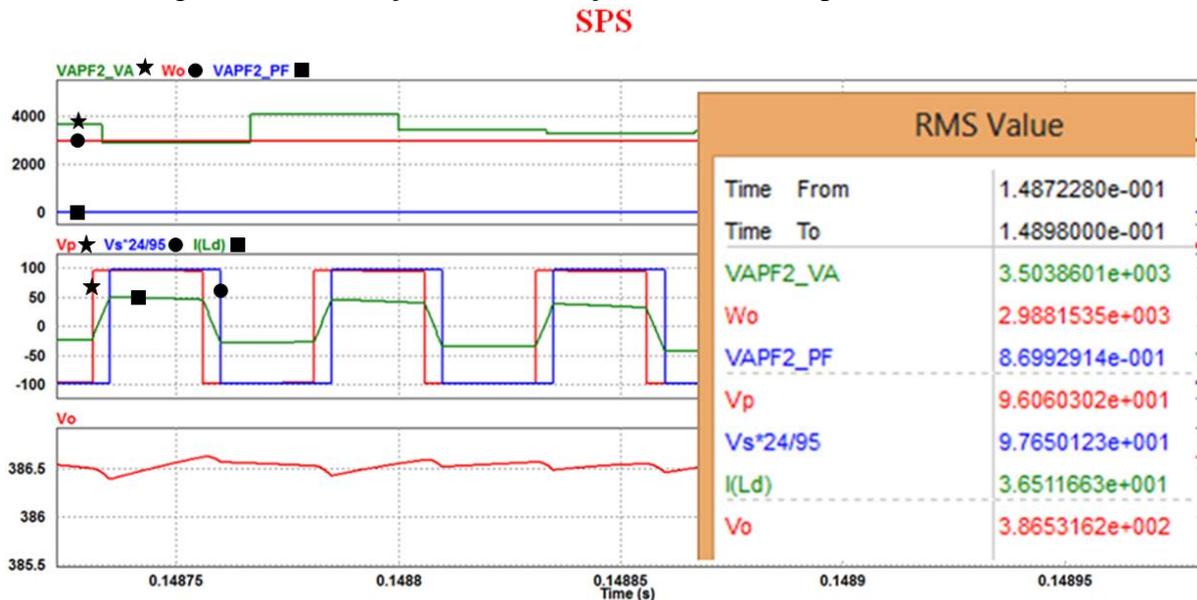
4 RESULTADOS E DISCUSSÃO

4.1 Resultados das simulações no PSIM

Os resultados apresentados nesta seção correspondem as simulações realizadas no software PSIM para o conversor DAB da Figura 10. No método EPS levou-se em consideração uma variação na carga, fazendo o conversor operar com $G > 1$. O valor de R_c nas condições nominais de operação, calculado a partir da Equação 5, é aproximadamente $41,3 \Omega$ para $G = 1$. Então foi utilizado uma carga de 50Ω para simular um ganho estático de tensão maior que a unidade.

Para ser possível realizar uma comparação entre a modulação convencional e a EPS, o ângulo φ da SPS foi reduzido a $28,5^\circ$, de modo que o ganho de tensão se aproximasse da unidade. Então, utilizou-se um δ igual a -14° para que G estivesse bem próximo de 1 na modulação EPS, com φ permanecendo igual a 36° . Nas Figuras 22 e 23 encontram-se os resultados das simulações no PSIM para alguns parâmetros.

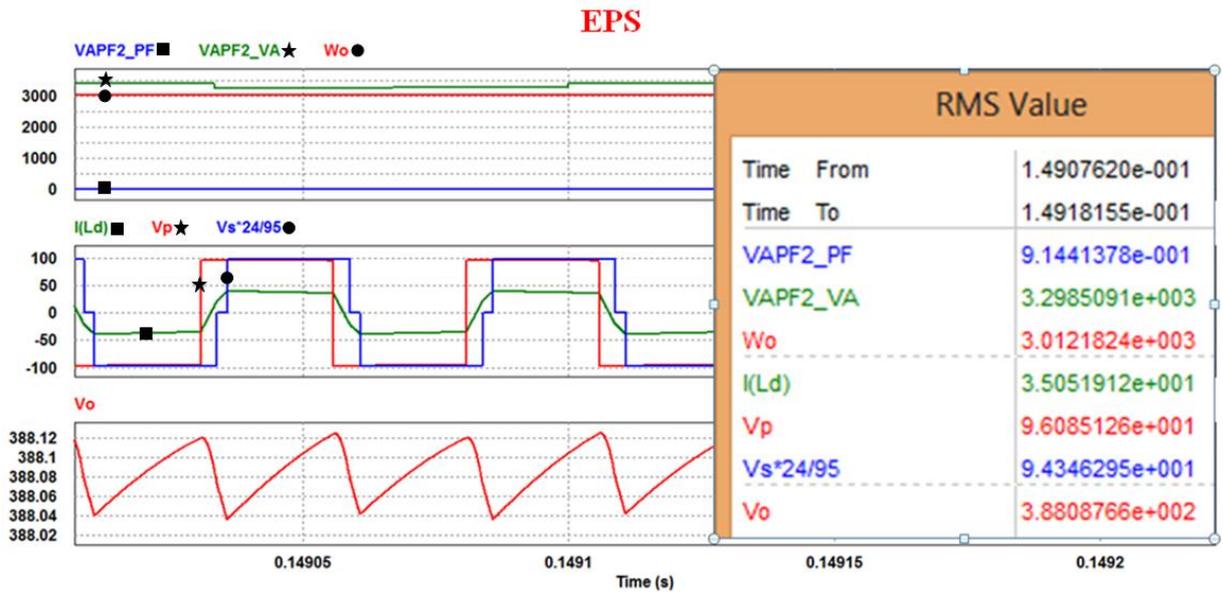
Figura 22 - Simulações da modulação convencional para o caso da EPS



Fonte: Autoria própria.

Com a aplicação da modulação EPS, pode-se restabelecer de certa forma o valor unitário do ganho de tensão, como pode ser observado em V_o , que voltou a ser aproximadamente 380 V. Nota-se ainda pelas Figuras 22 e 23 que diminuir o valor de φ na modulação SPS possibilitou ajustar o ganho de tensão. No entanto, a técnica EPS além de permitir ajustar G , ainda elevou o fator de potência representado por VAPF2_PF.

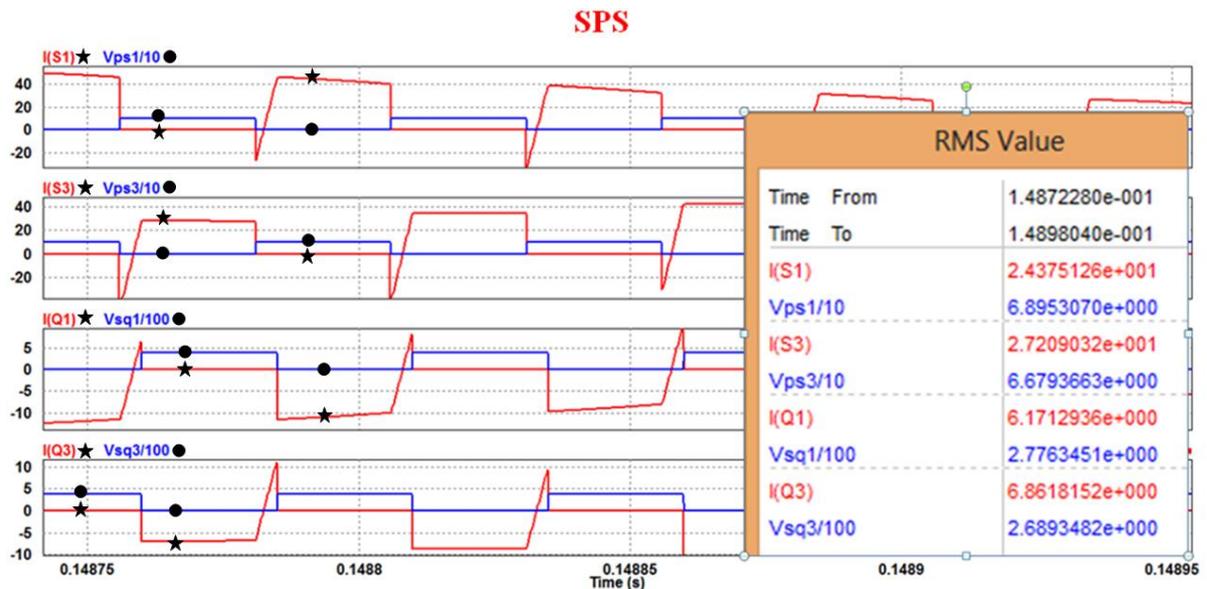
Figura 23 - Simulações da modulação EPS



Fonte: Autoria própria.

Um aumento no fator de potência representa uma menor quantidade de reativos e baixos valores de corrente eficaz na indutância de transmissão, representado por $I(Ld)$. Como essa corrente é a mesma que passa pelos interruptores, houve também um decréscimo de esforços nos semicondutores, mais expressivamente em S3 e Q3 como pode ser observado através das Figuras 24 e 25.

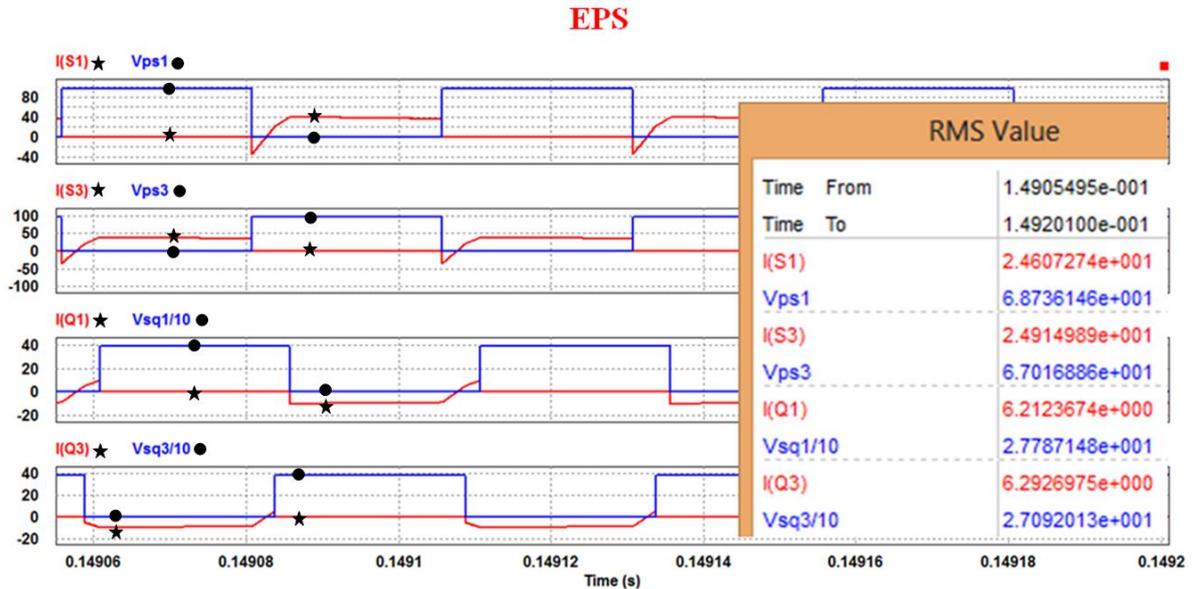
Figura 24 - Corrente e tensão nos semicondutores considerando a SPS para o caso da EPS



Fonte: Autoria própria.

Apesar da redução de esforços não ter ocorrido nos interruptores S1 e Q1, o nível de corrente eficaz nestes dispositivos são praticamente iguais para a SPS e EPS. Então, pode-se considerar que houve um melhoramento no desempenho do conversor.

Figura 25 - Corrente e tensão nos semicondutores para a EPS

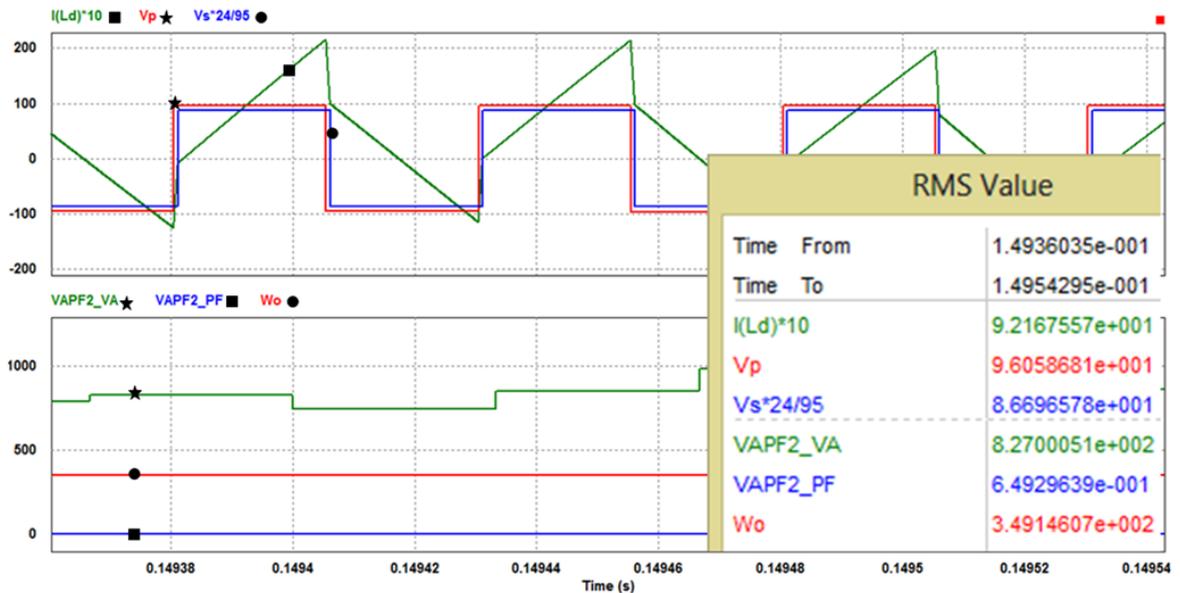


Fonte: Autoria própria.

Para a modulação DPS, submeteu-se o conversor a situação de carga leve, que segundo a literatura ocorre quando o conversor está operando com um pequeno valor de φ . Considerou-se o conversor atuando com 10% de sua potência nominal a um φ de $3,6^\circ$. Nesta simulação, o valor de R_c foi aproximadamente 336.793Ω , permanecendo invariável para os casos com e sem DPS. As defasagens δ foram de -10° , aplicadas ao primário e secundário como sugere o método. Na Figura 26 e 27 encontram-se os resultados das simulações no PSIM para alguns parâmetros.

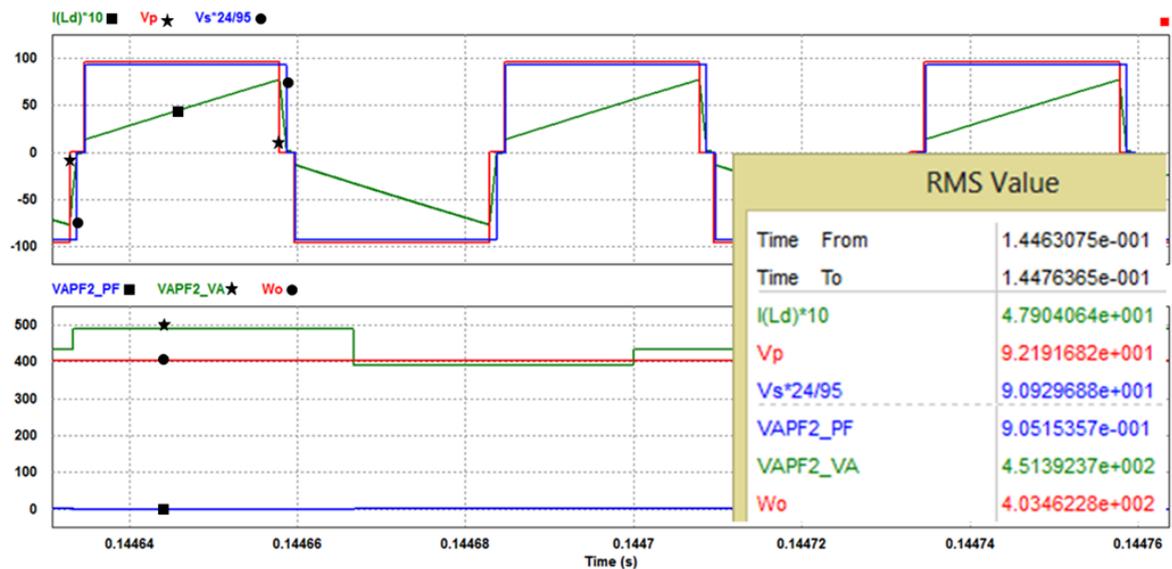
Como é possível perceber através das Figuras 26 e 27, o DAB apresenta uma queda de desempenho para uma pequena potência da saída, isso é verificado pelo baixo fator de potência VAPF2_PF, igual a aproximadamente 0,649. Esse problema ocorre devido a elevada potência reativa circulante no conversor, que pode ser percebido através de VAPF2_VA para o caso sem DPS. Grandes quantidades de reativos aumentam o valor da corrente eficaz que passa pela indutância de transmissão, representada por $I(L_d)$, e conseqüentemente através dos interruptores. Com aplicação da modulação DPS o valor dessa corrente é bastante reduzido, sendo aproximadamente 9,218 A usando somente SPS, contra 4,790 A quando utilizado o DPS. Como pode ser observado nas Figuras 26 e 27, a modulação DPS eliminou grande parte da potência reativa do sistema, proporcionando um considerável aumento no fator de potência e possibilitando a utilização do DAB para baixas potências de saída.

Figura 26 - Simulações da modulação convencional para o caso do DPS
SPS



Fonte: Autoria própria.

Figura 27 - Simulações da modulação DPS
DPS

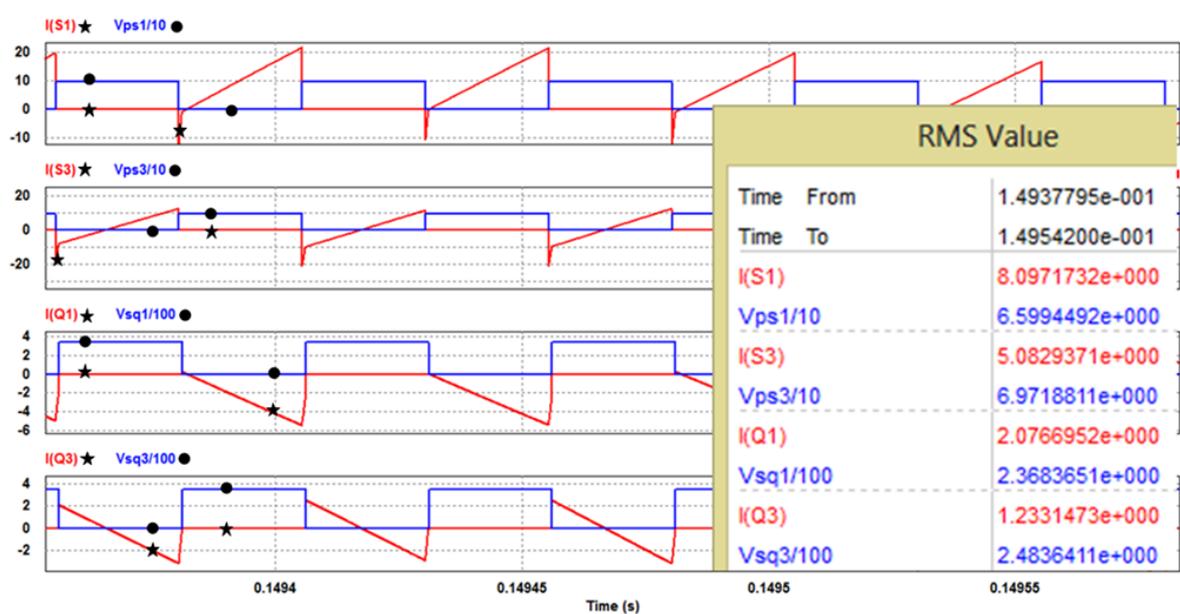


Fonte: Autoria própria.

As Figuras 28 e 29 mostram o comportamento da corrente e tensão nos interruptores do conversor para as simulações da DPS.

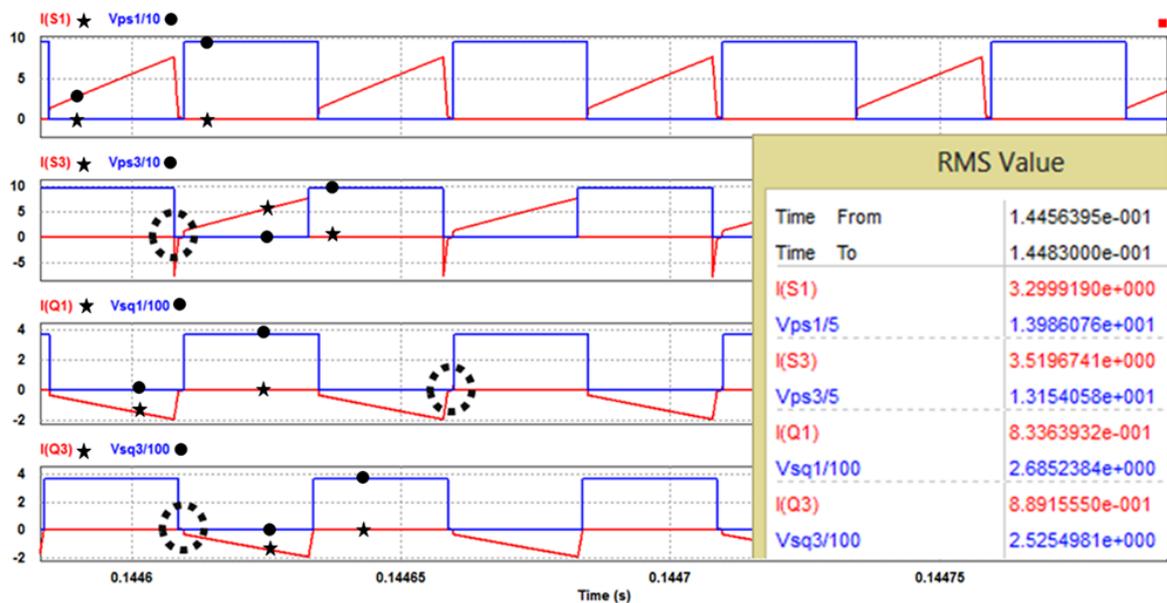
Analisando as Figuras 28 e 29 é fácil perceber a redução dos esforços nas chaves, e, além disso, note-se que a modulação DPS também possibilitou a comutação suave, como pode ser visto por meio das regiões demarcadas pelos círculos, com exceção do interruptor S1. Contudo, devido ao baixo nível de carga as perdas por comutação deste semiconductor são desprezíveis quando se analisa sua corrente eficaz nas situações de modulação SPS e DPS.

Figura 28 - Corrente e tensão nos semicondutores considerando a SPS para o caso da DPS



Fonte: Autoria própria.

Figura 29 - Corrente e tensão nos semicondutores para a DPS



Fonte: Autoria própria.

4.2 Resultados das simulações no ModelSim e análises realizadas no osciloscópio

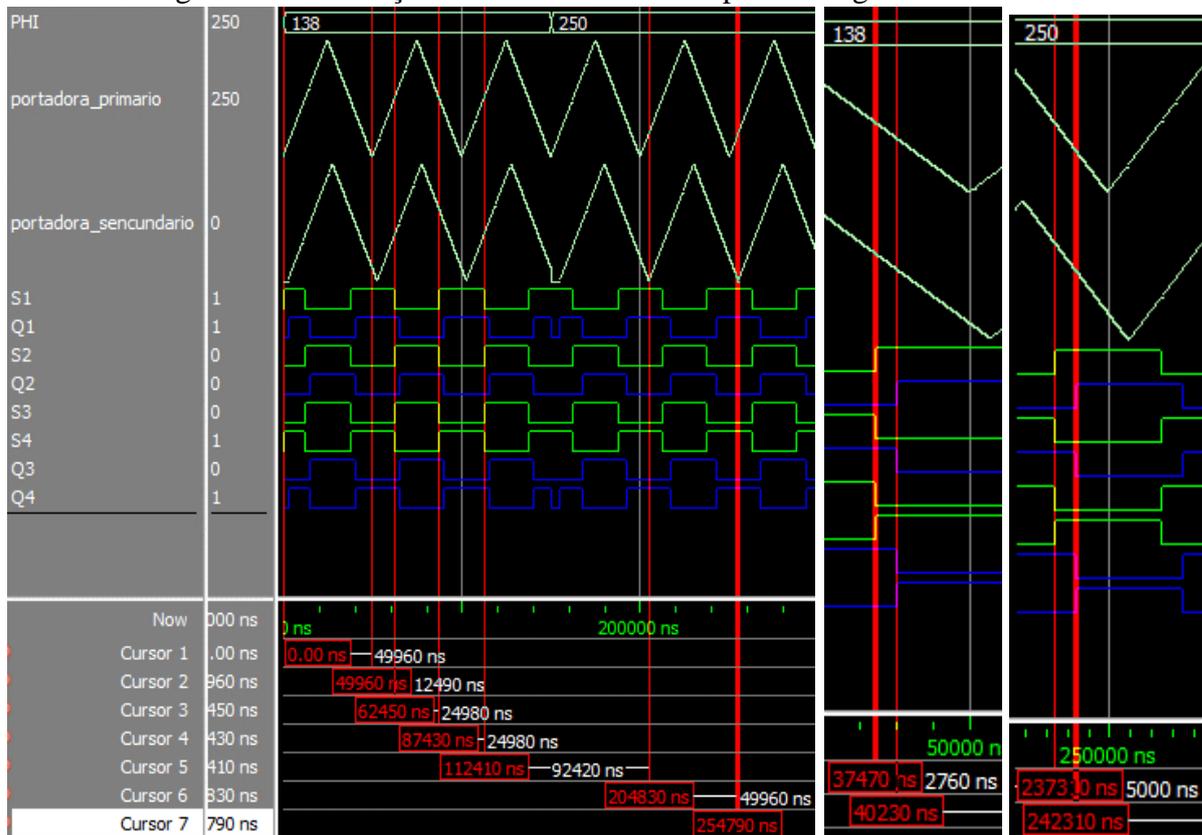
A validação das modulações através de simulações computacionais foi realizada utilizando-se o software *ModelSim ALTERA STARTER EDITION 10.4b*, deste ponto em diante designado apenas por *ModelSim*. Durante a fase testes, verificou-se o comportamento

das técnicas SPS, EPS e DPS para diversos valores de ângulos φ e δ , constando-se que a operacionalidade de cada uma está em consonância com as informações apresentadas pela literatura especializada, além de atender os dados de projeto. A discussão a seguir considera os ângulos 20° e/ou 36° como valor de entrada para φ_+ , e -20° e/ou -36° como defasagens φ_- . Nas modulações EPS e DPS, δ assume os valores de -10° e -22° .

4.2.1 Resultados da modulação SPS

Na Figura 30 são apresentadas as formas de onda resultantes da simulação da modulação SPS, considerado o fluxo de transferência de energia do primário para o secundário, ou seja, para um φ_+ .

Figura 30 - Simulação da SPS no *ModelSim* para os ângulos de 20° e 36°



Fonte: Autoria própria.

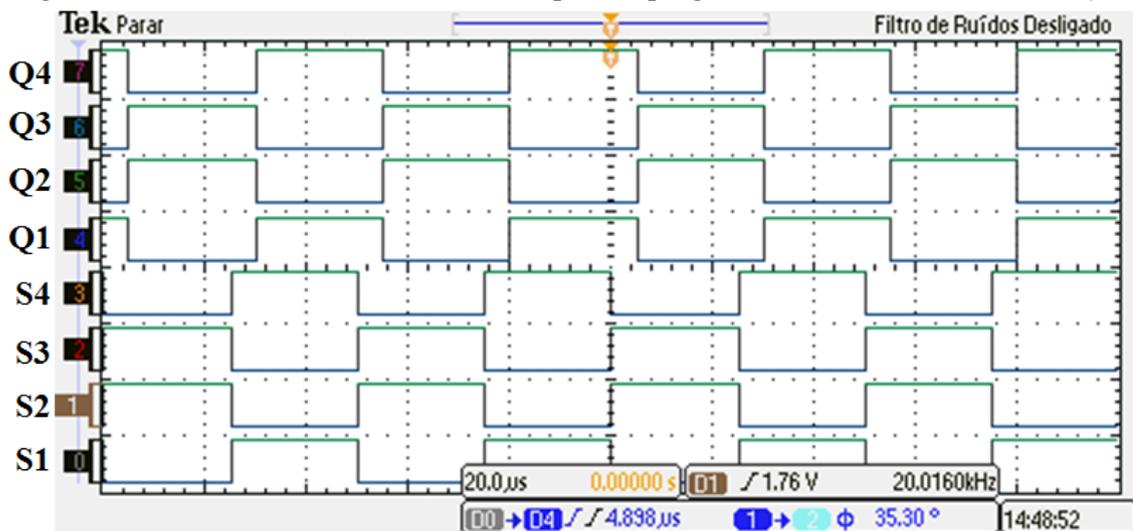
Verificando os cursores 1 e 2, 3 e 4, exibidos na Figura 30, percebe-se que o período de cada triangular corresponde a 49960 ns, equivalendo a uma frequência de 20,016 kHz como era de se esperar. Nota-se também que as saídas S1 e Q1 possuem tempos de condução e bloqueio iguais a 24980 ns, identificando uma razão cíclica de 50% e período definido por suas respectivas portadoras. Evidencia-se também que, durante a atualização de φ os sinais do comando e a triangular do secundário vão para zero, isso caracteriza um transitório produzido

pela lógica interna. Esse transitório pode durar até 49940 ns, acontecendo quando se entra com um valor de defasagem um degrau abaixo do valor atual.

As quantidades 138 e 250 foram determinadas a partir da Equação 8 e o deslocamento de fase que proporcionaram também pode ser observado na Figura 30. Um N_d igual a 138 atrasou Q1 em relação a S1 em 2760 ns, convertendo-se esse tempo para graus através da Equação 10 tem-se aproximadamente $19,89^\circ$. Para a entrada de 250, verifica-se um atraso de 5000 ns, que convertido equivale a aproximadamente $36,029^\circ$. A pequena diferença entre esses ângulos de saída e o esperado, deve-se ao fato de que 20° e 36° não corresponderem a valores inteiros de N_d , sendo necessário realizar arredondamentos. Assim, é válido aceitar que $19,89^\circ$ e $36,029^\circ$ representem o valor de φ_+ esperado.

Os sinais de comandos exibidos pelo osciloscópio depois que a modulação SPS foi programada no FPGA podem ser observados na Figura 31.

Figura 31 - Sinais de comando do FPGA quando programado com a SPS e entrada φ_+



Fonte: Autoria própria.

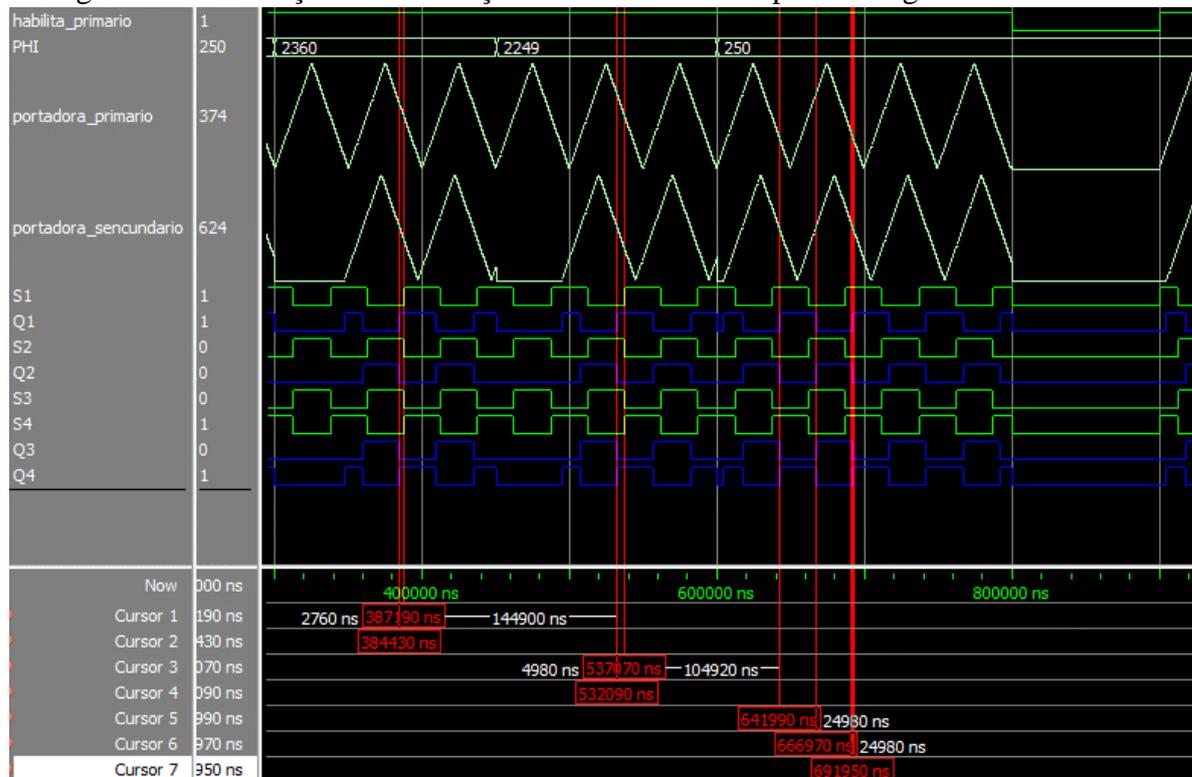
Na Figura 31 também se leva em conta um φ_+ , mas considerando apenas um valor teórico de 36° como entrada. É possível ver diretamente na tela do equipamento que a frequência dos sinais apresentados é a mesma observada nas simulações computacionais. A numeração de 0 a 7 refere-se aos canais digitais do osciloscópio (designados também como D0 a D7), e correspondem aos sinais de S1 a Q4 respectivamente. Os canais analógicos 1 e 2 foram conectados as saídas S1 e Q1. A defasagem φ_+ entre S1 e Q1, ou melhor, entre as pontes primária e secundária, pode ser verificada por leitura direta do ângulo de $35,30^\circ$ ou pelo tempo de $4,898 \mu\text{s}$ que aparecem no display do equipamento. Esses dados estão de acordo com o valor esperado e os resultados da simulação. O pequeno desvio desse ângulo em

relação ao esperado é consequência dos arredamentos, como explicado previamente, e, também, da conversão realizada pelo A/D.

É válido ressaltar que o máximo valor de tensão fornecido a entrada analógica do ADC128S022 é de aproximadamente 2,013 V, que correspondem ao degrau 2498. Percebe-se então que os níveis de tensão utilizados são baixos, com alguns na ordem de grandeza dos milivolts. Por exemplo, para um φ_+ de 15° deve-se fornecer a V_a uma tensão de 83,8 mV. Deste modo, exaustivos testes mostraram que pequenos erros na leitura da tensão, gerados tanto pela imperfeição dos componentes eletrônicos como pelo difícil ajuste manual de tensões tão pequenas, são de certo modo “amplificados” pelo A/D, devido sua capacidade de gerar números inteiros de valores altos a partir de baixos níveis de tensão. Como consequência, as defasagens verificadas no osciloscópio apresentaram pequenos desvios do valor esperado.

Para o fluxo de transferência de energia com sentido secundário-primário, os resultados das simulações encontram-se na Figura 32.

Figura 32 - Simulação da modulação SPS no *ModelSim* para os ângulos de -20° e -36°



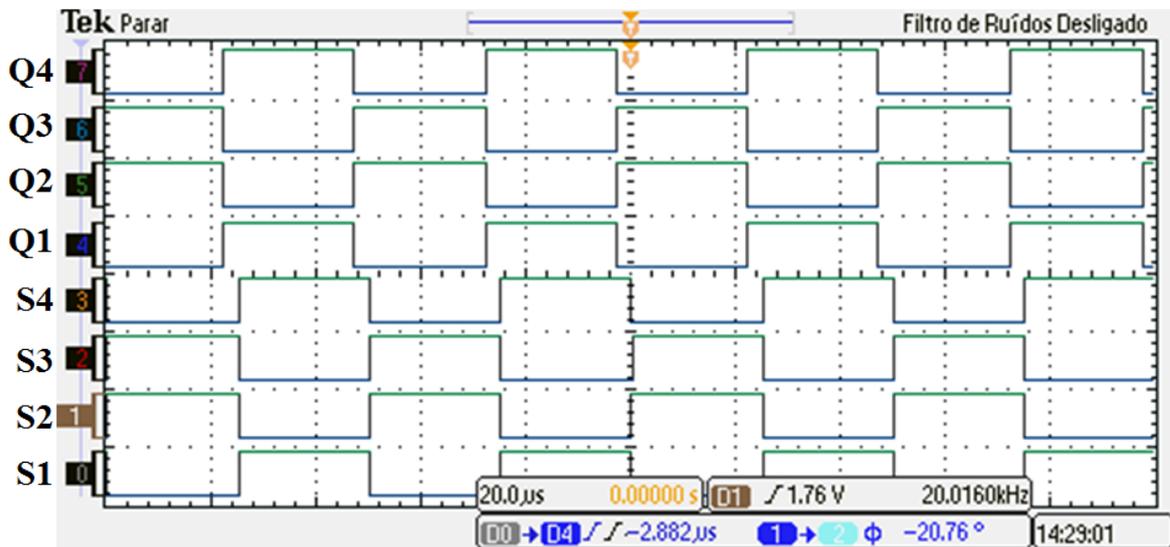
Fonte: Autoria própria.

Analisando-se a Figura 32 constata-se que, a triangular do secundário é adiantada em relação a do primário quando a segunda metade do período da portadora do primário é utilizado como referência para o deslocamento angular. Examinando a posição dos cursores 1 e 2, obtêm-se o primeiro φ_- cujo valor é representado por 2760 ns, e convertendo-o chega-se

a $-19,89^\circ$. A diferença entre os cursores 3 e 4 é 4980 ns , que resulta em $-35,89^\circ$. Esses ângulos correspondem aos inteiros 2360 e 2249 respectivamente, que são as entradas calculadas a partir do $\varphi_{\text{especificado}}$. Na simulação, os cursores estão mensurando $-19,89^\circ$ e $-35,89^\circ$ entre os sinais S1 e Q1. Ainda na Figura 32, é possível ver que as portadoras e os sinais de comando exibem nível baixo quando *habilita_primario* é zero, esse sinal é empregado para ativar ou desativar a modulação e, conseqüentemente, os comandos dos interruptores.

Assim como no caso anterior, observou os sinais de saída do FPGA com o osciloscópio, mas considerando um ângulo de -20° . A Figura 33 mostra as formas de onda plotadas pelo instrumento.

Figura 33 - Sinais de comando do FPGA quando programado com a SPS e entrada $\varphi_{\text{-}}$

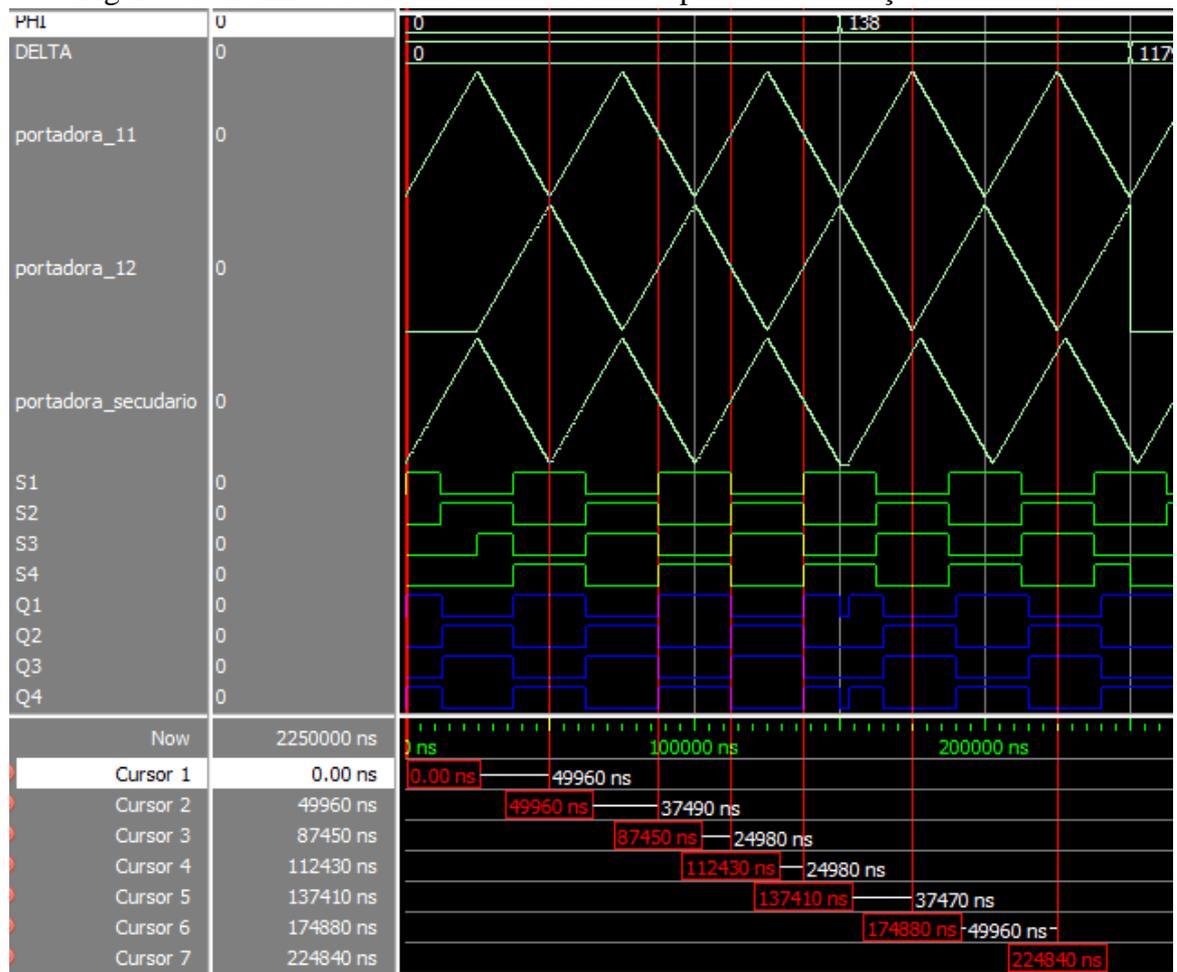


Fonte: Autoria própria.

Na Figura 33, observando as formas de ondas S1 e Q1, percebe-se que o lado secundário está adiantado em relação ao primário. Isso também é indicado pelo valor de $\varphi_{\text{-}}$ em graus ou temporal, que são, respectivamente, $-20,76^\circ$ e $-2,882\ \mu\text{s}$. Além disso, as formas de ondas apresentadas pelo osciloscópio possuem uma frequência idêntica às observadas nas simulações computacionais. As simulações no *ModelSim* e verificações realizadas com o osciloscópio mostraram que a modulação SPS operou como esperado.

4.2.2 Resultados da modulação EPS

A Figura 34 mostra as formas de onda da técnica EPS resultantes da simulação computacional, iniciando com um φ igual a 0° para permitir uma melhor análise dos períodos desses sinais.

Figura 34 - Formas de ondas da EPS obtidas a partir da simulação no *ModelSim*

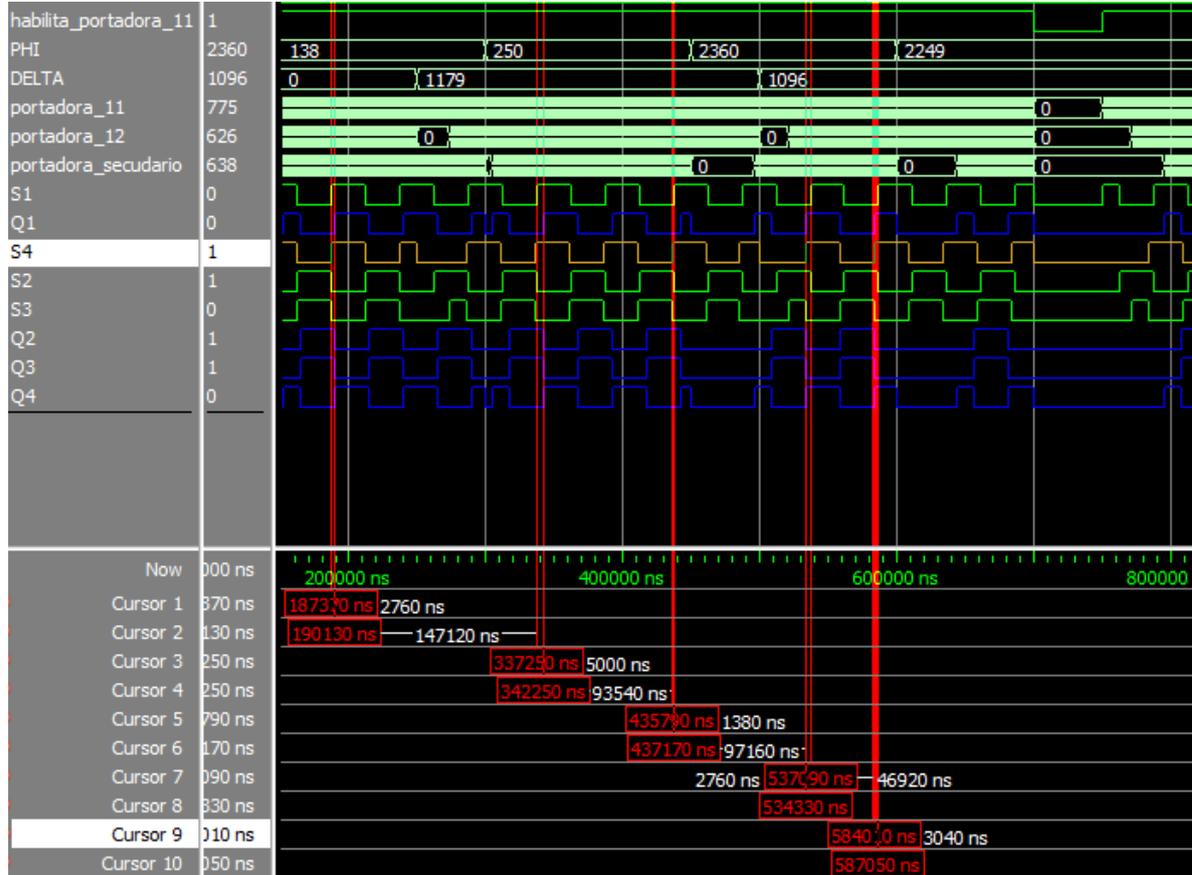
Fonte: Autoria própria.

Como a *portadora_11* está em fase com a *portadora_secudario* conclui-se que os cursores 1 e 2 retratam o período das duas como sendo 49960 ns, que corresponde ao mesmo valor de frequência especificado no projeto. Analisando os cursores 3, 4 e 5, percebe-se que determinam os tempos de condução e bloqueio de todos os sinais de comando, consistindo em 24980 ns. Como T_{on} e T_{off} são iguais, logo a razão de trabalho desses sinais é de 50%. Ainda observando a Figura 34, outras informações que podem ser extraídas são com relação a posição inicial e período da *portadora_12*. Tal triangular começa defasada de 180° em relação a *portadora_11*, isso já era esperado, pois essa lógica foi utilizada para ser possível adiantar a *portadora_12* em relação a *portadora_11*, e assim obter a EPS. Consta-se também que o T_s da *portadora_12* é o mesmo que das outras portadoras como apresentado pelos cursores 6 e 7.

Os resultados da aplicação dos ângulos δ na simulação computacional da modulação EPS são demonstrados na Figura 35, em que as portadoras não foram mostradas no formato de degraus para possibilitar o acréscimo de cursores.

Na figura 35, os cursores 7 e 8, além dos quatro primeiros, determinam os vários deslocamentos de fase φ entre as bordas de subida dos sinais S1 e Q1. Como era de se esperar, os resultados são iguais aos obtidos na modulação SPS, pois pela lógica desenvolvida, a única mudança é o acréscimo da defasagem entre os braços da ponte primária.

Figura 35 - Resultados computacionais para as entradas δ de -10° e -22° na EPS

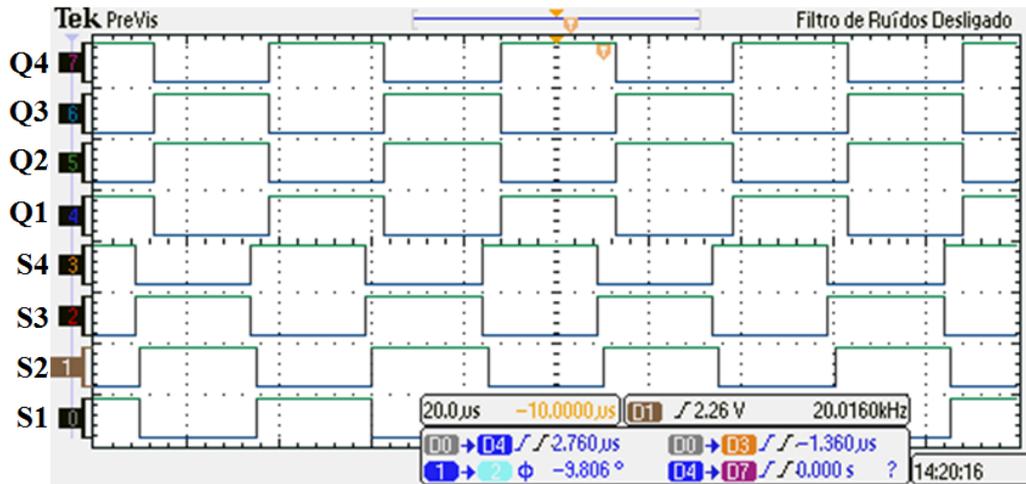


Fonte: Autoria própria.

Os valores de N_d para os ângulos δ que se desejava obter foram determinados por meio da Equação 11, e equivalem a aproximadamente 1179 para -10° e 1096 para -22° . A relação entre N_d e δ mostra que, baixos valores de ângulos correspondem altos valores de N_d , e vice-versa. Isso acontece porque a referência 0° da *portadora_12* é de -180° em relação a *portadora_11*. As defasagens de saída foram mensuradas a partir das bordas de subida dos sinais S1 e S4, que representam o primeiro e segundo braço do primário nesta ordem. Dos cursores 5 e 6 verifica-se um δ de saída de 1380 ns, que pela Equação 10 corresponde a aproximadamente $9,94^\circ$. Já a diferença entre os cursores 9 e 10 fornece um tempo de 3040 ns, que convertido é igual a aproximadamente $21,91^\circ$. Esses δ estão muito próximos dos valores calculados teoricamente, não coincidindo por conta dos arredondamentos comentados anteriormente. Observa-se ainda na Figura 35 que a entrada *habilita_portadora_11* é utilizada para levar todos os sinais a nível baixo, e assim, desativar ou ativar a modulação.

As análises da modulação EPS no osciloscópio foram realizadas utilizando um ângulo φ de 20° , ou seja, um fluxo de potência no sentido primário-secundário, e um deslocamento angular δ de 10° . Os resultados podem ser visualizados na Figura 36.

Figura 36 - Sinais do FPGA quando programado com a EPS para $\varphi = 20^\circ$ e $\delta = 10^\circ$



Fonte: Autoria própria.

Analisando a Figura 36, verifica-se que os sinais plotados apresentam uma frequência de exatamente 20,016 kHz ou período de 49960 ns, os mesmo dados obtidos nas simulações. Nota-se também um valor de φ igual a $-9,806^\circ$, que representa o desfasamento entre *portadora_11* e *portadora_12*, pois neste teste, as ponteiros analógicas do instrumento foram conectadas as saídas S1 e S4. O mesmo deslocamento de fase é representado temporalmente por $-1,360 \mu\text{s}$. Também é observado na Figura 36 um atraso de $2,760 \mu\text{s}$ entre as bordas de subida de D0 e D4, que são as saídas S1 e Q1. Esses dados gerados após a programação da modulação EPS no FPGA, praticamente coincidem com os da simulação computacional. Isso evidencia que a modulação desenvolvida está completamente operacional.

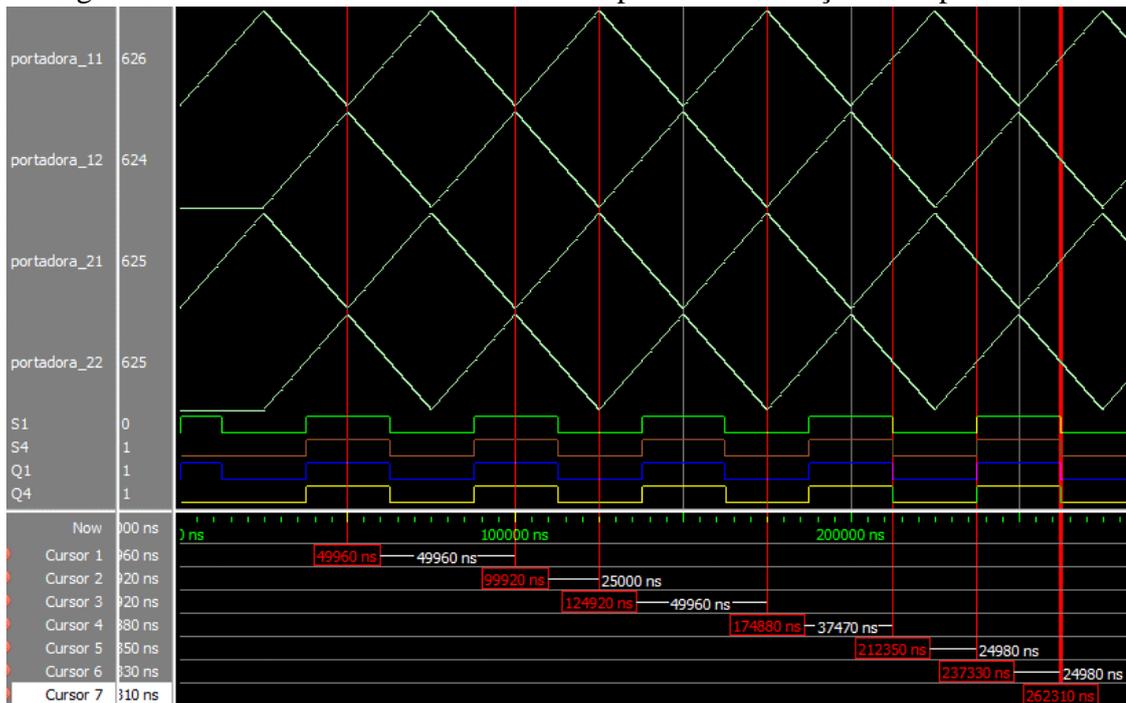
4.2.3 Resultados da modulação DPS

Os teste da técnica DPS no software *ModelSim* podem ser observados na Figura 37, em que alguns sinais foram omitidos para ser possível exibir as portadoras no formato de degraus.

Da Figura 37 nota-se a utilização de quatro portadoras pela técnica DPS, tornando-a a mais complexa das três modulações. Percebe-se também que, além da *portadora_12* que possui sua referência de 0° atrasada 180° em relação a *portadora_11*, existe ainda a *portadora_22*, com sua referência de 0° atrasada de 180° em relação a *portadora_21*. Como já comentado, essa estratégia permite gerar os ângulos δ . Através dos quatro primeiros cursores

é possível ver que todas as portadoras apresentam o mesmo período de 49960 ns. A posição dos cursores 5, 6 e 7 indicam que os sinais para os interruptores possuem os tempos de conduções iguais aos de bloqueio, cujo valor é 24980 ns, caracterizando uma razão cíclica D de 50%. Apenas quatro desses sinais foram mostrados, isso porque cada portadora controla um deles e o seu complemento, logo, os sinais ocultos apresentam o mesmo ciclo de trabalho.

Figura 37 - Sinais da técnica DPS obtidos a partir de simulações computacionais

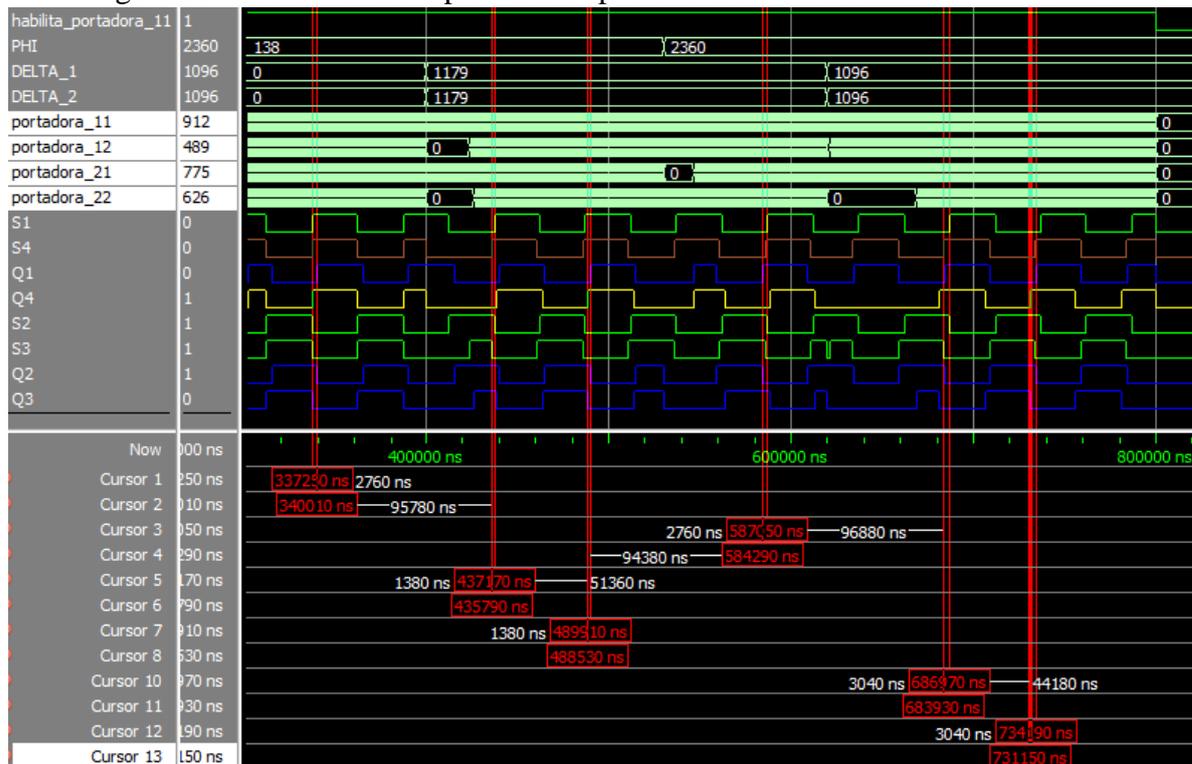


Fonte: Autoria própria.

As relações de defasagem para a modulação DPS podem ser analisadas a partir da Figura 38. Nela, observa-se por meio dos cursores 1 e 2 que a defasagem entre as bordas de subida dos comando S1 e Q1 é igual a 2760 ns, mesmo valor que nas técnicas anteriores para uma entrada de 138, correspondente a um φ de 20°. Os cursores 3 e 4 também apresentam um tempo de 2760 ns, porém, este número diz respeito ao atraso entre as bordas de subida de S1 e Q1 para uma transferência de potência com sentido secundário-primário, ou seja, um φ_- . Os δ correspondem aos 1380 ns e 3040 ns presentes na Figura 38, e como era de se esperar, existem dois valores idênticos para cada um desses tempos, pois o δ do primário é o mesmo do secundário nesta modulação. Convertendo-se esses δ em graus a partir da Equação 12, chega-se a 9,94° e 21,91° como encontrados na EPS.

Observando a extremidade direita da Figura 38 é possível notar a ação da entrada *habilita_portador_11*, que quando em nível baixo leva a zero todos os sinais da modulação. Este sinal de entrada é utilizado para ativar ou desativar a *Dual Phase-Shift*.

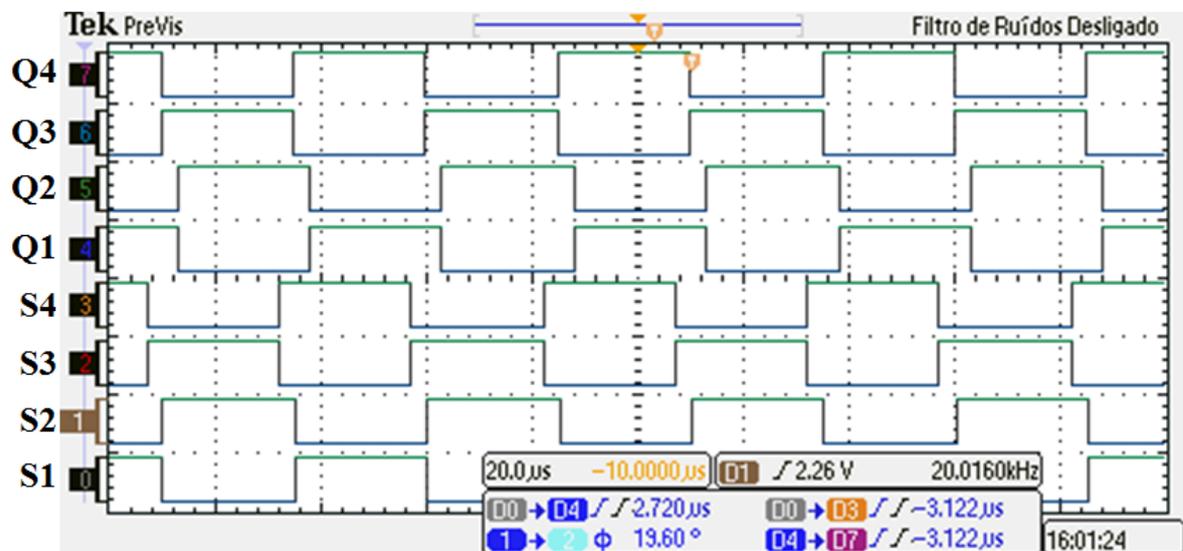
Figura 38 - Resultados computacionais para as entradas δ de -10° e -22° na EPS



Fonte: Autoria própria.

Na Figura 39 são mostradas as formas de onda da modulação DPS produzidas pelo FPGA e plotadas no osciloscópio.

Figura 39 - Formas de onda da DPS produzidas pelo FPGA



Fonte: Autoria própria.

Verificando as formas de onda é fácil notar que os sinais S3-S4 e Q3-Q4 que correspondem ao segundo braço do primário e secundário respectivamente, estão adiantados em relação as formas de onda de S1-S2 e Q1-Q2 referentes ao primeiro braço do primário e secundário nesta ordem. O valor desta defasagem pode ser verificado como sendo o tempo de

-3,122 μs exibido na Figura 39. O ângulo de defasagem φ corresponde ao $19,60^\circ$ ou 2,270 μs visto no display do osciloscópio. Neste teste, também verificou-se uma frequência de 20,016 kHz, que corresponde ao período comentado nas simulações. Para a DPS, assim como na SPS e EPS, os dados de projeto, simulação e teste no osciloscópio são similares, permitindo concluir que essa modulação também funcionou de acordo com o esperado.

5 CONCLUSÕES

O presente estudo possibilitou verificar que, o baixo desempenho aprestado pelo conversor DAB quando operando com ganho de tensão diferente da unidade, ou em condições de carga leve, pode ser melhorado com o uso das técnicas de modulação *Extended-Phase-Shift* e *Dual-Phase-Shift*. Com a técnica DPS é possível eliminar quase toda a potência reativa circulante no conversor, e, ainda, conseguir que os dispositivos semicondutores realizem comutação suave. O EPS é uma boa opção para o ajuste do ganho de tensão e reduz moderadamente a quantidade de energia reativa do sistema.

Utilizar deslocamentos de fase entre as portadoras das modulações PWM para gerar as defasagens φ e δ foi uma ótima escolha, pois os interruptores do conversor DAB possuem um ciclo de trabalho de 50%. Deste modo, nos algoritmos elaborados necessitou-se de apenas um sinal de referencia em cada modulação, embora o número de triangulares variasse. Isso tornou o código mais simples e de fácil reutilização.

Através de um FPGA em conjunto com a linguagem de alto nível que permite programa-lo, foi possível desenvolver com êxito as três modulações propostas. Das três, a DPS apresentou maior complexidade, pois exigia o controle de quatro sinais PWM. É interessante notar que, modificando-se a quantidade de degraus gerados pelos contadores síncronos e posicionando adequadamente o sinal de referência nas descrições VHDL, as modulações desenvolvidas neste trabalho podem ser adaptadas para outras frequências de chaveamento. A técnica EPS produzida para atuar no primário, também pode ser modificada facilmente para ser aplicável ao secundário, apenas alterando as conexões do circuitos desta modulação.

Com os testes realizados foi possível apenas constatar que as modulações SPS, EPS e DPS estão operacionais. Dessa maneira, propõe-se como sugestão para trabalhos futuros realizar a montagem de um protótipo experimental do DAB, para verificar como se comportará o rendimento do conversor quando submetido as modulações implementadas neste trabalho. Sugere-se também o desenvolvimento de uma rotina que insira um tempo morto entre os interruptores de um mesmo braço do conversor, para garantir que não haja curto-circuito e conversor opere com segurança.

REFERÊNCIAS

ALONSO, Alberto Rodríguez *et al.* An overall study of a Dual Active Bridge for bidirectional DC / DC conversion. In: Energy Conversion Congress and Exposition (ECCE). **Anais...** Asturias: Universidad de Oviedo, 2010. p.1129–1135.

Altera web site. Disponível em: <
<https://www.altera.com/support/training/university/boards.html>> Acesso em: 05 jul. 2017.

BABOKANY, Abdolmajid Shahsavary *et al.* A review of bidirectional dual active bridge converter. 2012 9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, ECTI-CON. **Anais...** Isfahan: Islamic Azad University, 2012. p.1–4.

BAI, Hua; MI, Chris. Eliminate reactive power and increase system efficiency of isolated bidirectional dual-active-bridge dc-dc converters using novel dual-phase-shift control. **IEEE Transactions on Power Electronics**, v. 23, n. 6, p. 2905–2914, 2008.

BAI, Hua; NIE, Ziling; MI, Chris Chunting. Experimental comparison of traditional phase-shift, dual-phase-shift, and model-based control of isolated bidirectional dc-dc converters. **IEEE Transactions on Power Electronics**, v. 25, n. 6, p. 1444–1449, 2010.

CÂMARA, Raphael Amaral da. Técnica de controle digital usando fpga. *In: _____*. **Conversores ca-cc monofásicos utilizando análise comparativa de desempenho de conversores ca-cc monofásicos utilizando fpga para aplicação em no-breaks**. 2012. (Tese de Doutorado) Fortaleza: Universidade Federal de Ceará. cap. 2.

CARDOSO, Robson Luiz. **Conversores cc-cas bidirecionais isolados em alta frequência**. 2007. (Tese de Doutorado) Florianópolis: Universidade Federal de Santa Catarina.

D'AMORE, Roberto. **VHDL: Descrição e síntese de circuitos digitais**. 2^o ed. Rio de Janeiro: LTC, 2015.

DE DONCKER, Rik W A A; DIVAN, Deepakraj M.; KHERALUWALA, Mustansir H. A Three-Phase Soft-Switched High-Power-Density DC/DC Converter for High-Power Applications. **IEEE Transactions on Industry Applications**, v. 27, n. 1, p. 63–73, 1991.

EVERTS, Jordi *et al.* Switching Control Strategy for Full ZVS Soft-Switching Operation of a Dual Active Bridge AC / DC Converter. In: Applied Power Electronics Conference and Exposition. **Anais...** Belgium: Katholieke Universiteit Leuven, 2012. p.5–9.

HENN, Gustavo Alves de Lima. **Técnica de modulação aplicada às estruturas de inversores multiníveis com neutro grampeado e capacitor flutuante para redução de perdas e distorção harmônica**, 2012. (Tese de Doutorado) Fortaleza: Universidade Federal do Ceará, 2012.

JAIN, Amit Kumar; AYYANAR, Rajapandian. PWM control of dual active bridge: comprehensive analysis and experimental verification. **34th Annual Conference of IEEE Industrial Electronics**, v. 26, n. 4, p. 909–915, 2008.

KARSHENAS, Hamid R. *et al.* Basic families of medium-power soft-switched isolated bidirectional dc-dc converters. In: 2nd Power Electronics, Drive Systems and Technologies Conference, PEDSTC. **Anais...** Kingston: Queen's University 2011. p.92–97.

KIM, Myoungho *et al.* A dual-phase-shift control strategy for dual-active-bridge DC-DC converter in wide voltage range. In: 8th International Conference on Power Electronics - ECCE Asia. **Anais...** Seoul: Seoul National University, 2011. p.364–371.

KIRSTEN, André Luis. **Metodologia de projeto e otimização do conversor DAB aplicado a transformadores de estado sólido**, 2014. (Tese de Doutorado) Santa Maria: UNIVERSIDADE FEDERAL DE SANTA MARIA.

KOLAR, Johann W; ORTIZ, Gabriel. Solid-State-Transformers : Key Components of Future Traction and Smart Grid Systems. International Power Electronics Conference - ECCE Asia. **Anais...** Switzerland: ETH Zurich, 2014. p.22–35.

OLIVEIRA FILHO, Herminio Miguel de. **Conversor cc-cc trifásico isolado bidirecional com comutação suave utilizando dual phase-shift e razão cíclica variável**, 2015. (Tese de Doutorado) Fortaleza: Universidade Federal de Ceará.

PEDRONI, Volnei. Programmable Logic Devices. *In: _____*. **Digital electronics and design with VHDL**. Burlington: Elsevier, 2008. cap. 18.

PRAÇA, Paulo Peixoto Praça. Conversor A/D via SPI-4. Fortaleza: UFC, 2013. (Roteiro de Aula Prática)

REDDY, M Narender; KUMAR, P Sravan; KESHAMONI, Kumar. Implementation of a Novel Bidirectional DC-DC Converter. **International Journal of Emerging Technology and Advanced Engineering**, v. 3, n. 12, p. 266–273, 2013.

SANTOS, Walbermark Marques dos. **Estudo e implementação do conversor tab (triple active bridge) aplicado a sistemas renováveis solares fotovoltaicos**, 2011. (Dissertação de Mestrado) Florianópolis: UNIVERSIDADE FEDERAL DE SANTA CATARINA.

SANTOS; Walbermark Marques dos; MARTINS, Denizar C. Modelagem e controle dos conversores dab e tab utilizando a teoria do gyrator. XIX Congresso Brasileiro de Automática. **Anais...** Santa Catarina: UFSC, 2012. p.3678–3685.

SEYEZHAI, R; UMAMAHESWARI, M. Simulation of a bi-directional dc-dc converter for pv applications. **International Journal ECIJ**, v. 4, n. 2, p. 31–42, 2015.

SILVA, Waner Wodson Aparecido Gonçalves. **Estudo e implementação de um conversor bidirecional como interface na regulação de tensão em barramento cc e carregamento de baterias em um sistema nanorrede**, 2013. (Dissertação de Mestrado) Belo Horizonte: Universidade Federal de Minas Gerais.

SMITH, Gina R. **FPGAs 101: everything you need to know to get started**. Burlington: Elsevier, 2010.

TAO, Haimin; DUARTE, Jorge L.; HENDRIX, M. A M. Three-port triple-half-bridge bidirectional converter with zero-voltage switching. **IEEE Transactions on Power Electronics**, v. 23, n. 2, p. 782–792, 2008.

Texas Instruments. Datasheet: ADC128S022. Disponível em:
<<http://www.ti.com/lit/ds/symlink/adc128s022.pdf>> Acesso em: 08 jul. 2017.

TOCCI, Ronald J; WIDMER, Neal S.; MOSS, Gregory L. Interface com o mundo Analógico. *In: _____*. **Sistemas digitais: princípios e aplicações**. 11. ed. São Paulo : Pearson Prentice Hall, 2011. cap. 11.

UMANS, Stephen D. Transformadores. *In: _____*. **Máquinas elétricas de Fitzgerald e Kingsley**. 7. ed. Porto Alegre: AMGH, 2014. cap. 2.

XUE, Jing. **High power high frequency transformers single-phase vs . Three-phase high power high frequency transformers design**, 2010. (Tese de Doutorado) Blacksburg,: Faculty of the Virginia Polytechnic Institute and State University.

ZHANG, Zhiliang *et al.* A Distributed Architecture Based on Microbank Modules With Self-Reconfiguration Control to Improve the Energy Efficiency in the. **IEEE Transactions on Power Electronics**, v. 31, n. 1, p. 304–317, 2016.

ZHAO, Biao *et al.* Overview of dual-active-bridge isolated bidirectional DC-DC converter for high-frequency-link power-conversion system. **IEEE Transactions on Power Electronics**, v. 29, n. 8, p. 4091–4106, 2014.

ZHAO, Biao; YU, Qingguang; SUN, Weixin. Extended-Phase-Shift Control of Isolated Bidirectional DC – DC Converter for Power Distribution in Microgrid. **IEEE TRANSACTIONS ON POWER ELECTRONICS**, v. 27, n. 11, p. 4667–4680, 2012.

APÊNDICES

APÊNDICE A – Parâmetros para simulação do conversor DAB no PSIM

DADOS DE PROJETO

$V_i := 96$	[V]	Tensão de entrada.
$V_o := 380$	[V]	Tensão de saída.
$f_s := 20016$	[Hz]	Frequência de comutação.
$T_s := \frac{1}{f_s}$	[s]	Período de comutação.
$\varphi_{\text{graus}} := 36$	[Graus]	Phase-Shift ou defasagem angular entre as pontes primária e secundária.
$\varphi := \varphi_{\text{graus}} \cdot \frac{\pi}{180} = 0.628$	[Radianos]	Phase-Shift ou defasagem angular entre as pontes primária e secundária.
$P_p := 3500$	[W]	Potência de projeto do conversor.

Relação transformação

$$\frac{V_i}{V_o} \text{ simplify } \rightarrow \frac{24}{95}$$

$N1 := 24$	[-]	Nº de espiras do lado primário.
$N2 := 95$	[-]	Nº de espiras do lado secundário.

$$\text{Ganho_Tensao} := \frac{V_o}{\frac{N2}{N1} \cdot V_i}$$

$\text{Ganho_Tensao} = 1$	[-]	Ganho de tensão do conversor.
----------------------------	-------	-------------------------------

Indutância de transferência de potência (L_d)

$$L_d := \left(\frac{V_i \cdot V_o}{\frac{N_2}{N_1} \cdot 2 \cdot \pi \cdot f_s \cdot P_p} \right) \cdot \varphi \cdot \left(1 - \frac{|\varphi|}{\pi} \right) \text{ explicit, } V_i, V_o, N_1, N_2, f_s, P_p \rightarrow \frac{96 \cdot 380}{\left(\frac{95}{24} \cdot 2 \cdot \pi \cdot 20016 \cdot 3500 \right)} \cdot \varphi \cdot \left(1 - \frac{|\varphi|}{\pi} \right)$$

$$L_d = 10.524 \times 10^{-6} \quad [\text{H}] \quad \text{Indutância de transferência de potência.}$$

Capacitor de acoplamento

$$C_a := \left(\frac{10}{f_s} \right)^2 \cdot \frac{1}{4\pi^2 \cdot L_d} \text{ explicit, fr, fs, } L_d \rightarrow \left(\frac{10}{20016} \right)^2 \cdot \left[\frac{1}{4 \cdot \pi^2 \cdot \left[\frac{96 \cdot 380}{\left(\frac{95}{24} \cdot 2 \cdot \pi \cdot 20016 \cdot 3500 \right)} \cdot \varphi \cdot \left(1 - \frac{|\varphi|}{\pi} \right) \right]} \right]$$

$$C_a = 600.757 \times 10^{-6} \quad [\text{F}] \quad \text{Capacitor de acoplamento.}$$

Resistência de Carga

$$R_c := \frac{V_o^2}{P_p}$$

$$R_c = 41.257143 \times 10^0 \quad [\Omega] \quad \text{Resistência de carga}$$

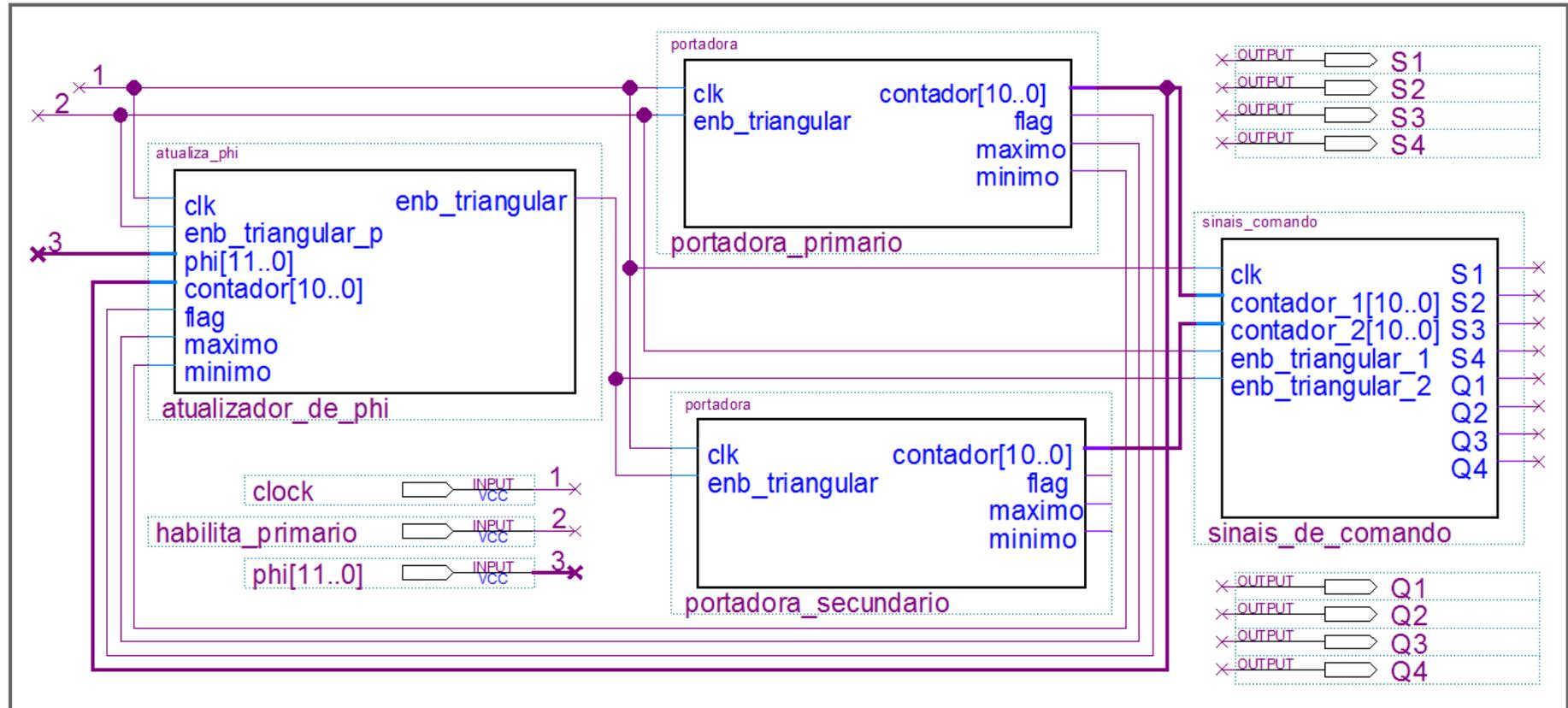
Capacitor de filtro

$$\Delta V_o := 1\% \quad [-] \quad \text{Ondulação da tensão de saída.}$$

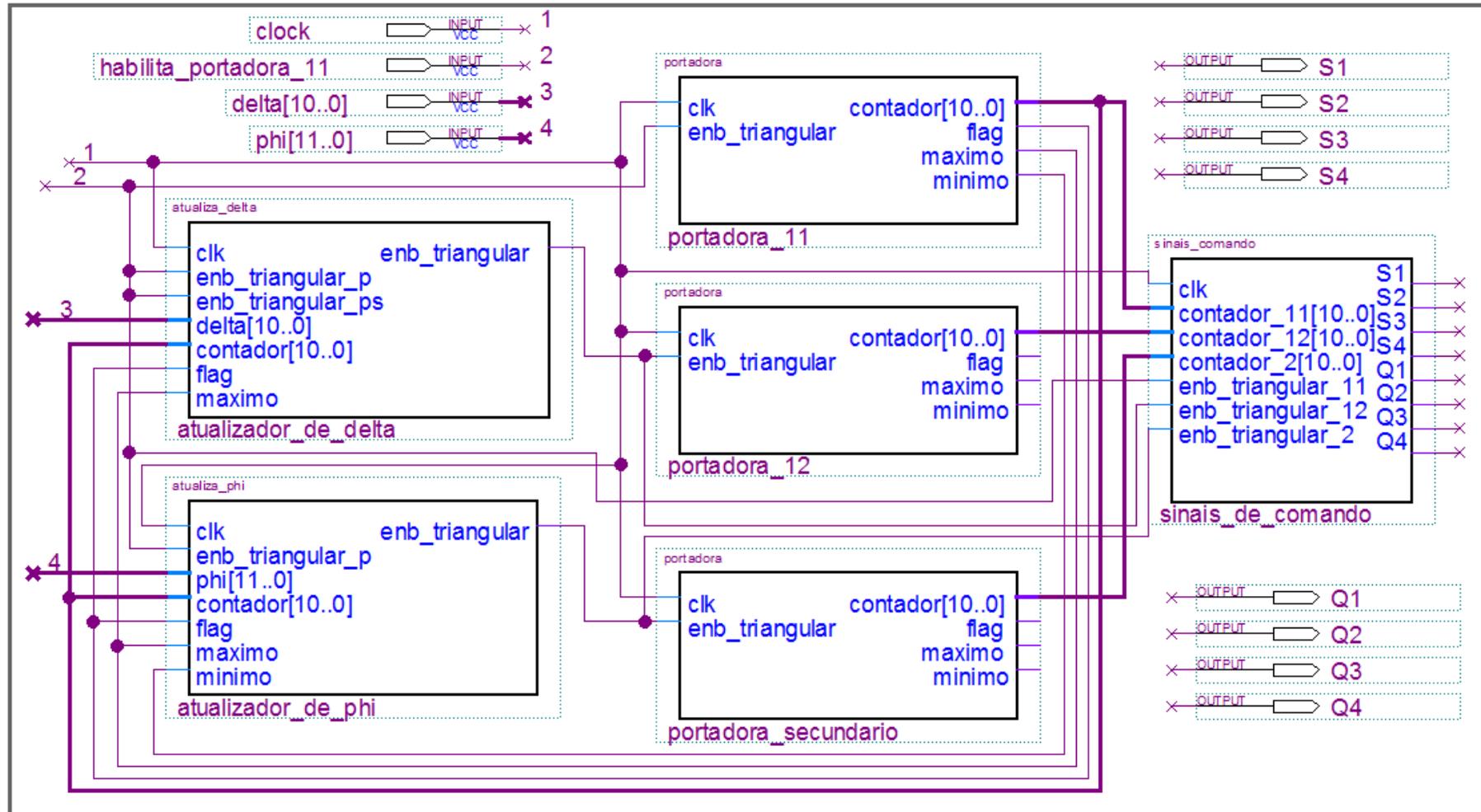
$$C_o := \frac{\left[V_o + \left(\frac{N_1}{N_2} \right) \cdot V_i \right] \cdot \left(\frac{\varphi}{\pi} \right) \cdot \frac{T_s}{2}}{2\pi \cdot f_s \cdot L_d \cdot (\Delta V_o \cdot V_o)} \text{ explicit, } V_i, V_o, N_1, N_2, T_s, f_s, L_d, \Delta V_o \rightarrow \frac{\left(380 + \frac{24}{95} \cdot 96 \right) \cdot \left(\frac{\varphi}{\pi} \right) \cdot \left(\frac{1}{20016} \right)}{\left[2 \cdot \pi \cdot 20016 \cdot \left[\frac{96 \cdot 380}{\left(\frac{95}{24} \cdot 2 \cdot \pi \cdot 20016 \cdot 3500 \right)} \cdot \varphi \cdot \left(1 - \frac{|\varphi|}{\pi} \right) \right] \cdot (1\% \cdot 380) \right]}$$

$$C_o = 401.557452 \times 10^{-6} \quad [\text{F}] \quad \text{Capacitância de saída}$$

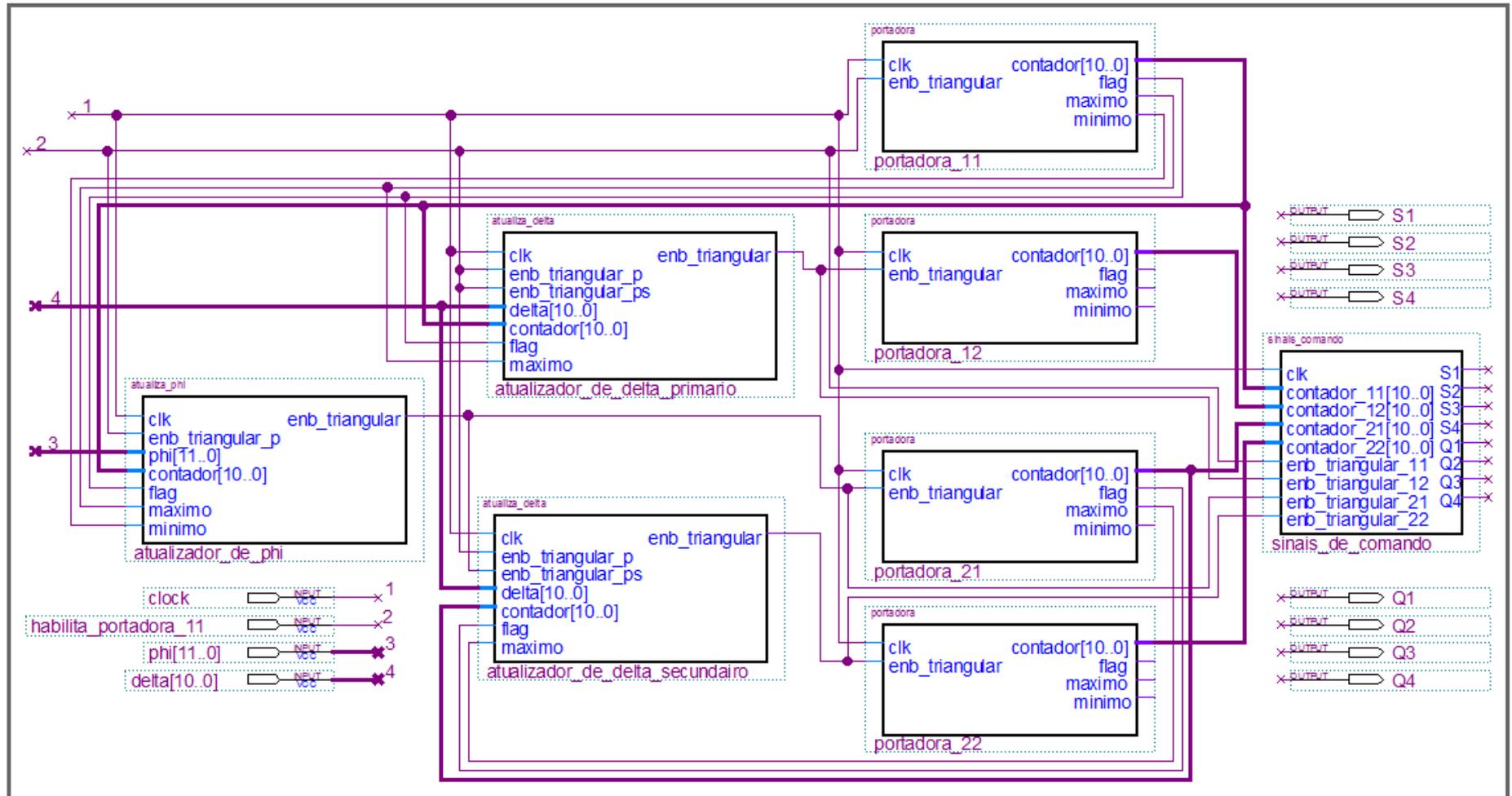
APÊNDICE B – Diagrama de blocos da modulação *Single-Phase-Shift*



APÊNDICE C – Diagrama de blocos da modulação *Extended-Phase-Shift*



APÊNDICE D – Diagrama de blocos da modulação *Dual Phase-Shift*



APÊNDICE E – Rotinas desenvolvidas para as *Phase-Shift*

Rotina do bloco portadora

```

1  ENTITY portadora IS
2      PORT (
3          clk                : IN BIT;-- Sinal de clock (f = 50 MHz; T = 20 ns )
4          enb_triangular     : IN BIT;-- Sinal de habilitacao deste bloco
5          contador           : OUT INTEGER RANGE 0 TO 1249;-- Saida do contador deste bloco
6          flag               : OUT BIT;-- Determina o sentido da contagem
7          maximo             : OUT BIT;-- Determina que a contagem esta no valor maximo
8          minimo            : OUT BIT;-- Determina que a contagem esta no valor minimo
9      );
10 END portadora;
11 ARCHITECTURE hardware OF portadora IS
12 BEGIN
13     PROCESS (clk, enb_triangular)
14         VARIABLE cont        : INTEGER RANGE 0 TO 1249:=0;
15         VARIABLE contagem    : BIT :='1';-- Determina o sentido da contagem
16         VARIABLE max         : BIT :='1';-- Determina que a contagem esta no valor maximo
17         VARIABLE min         : BIT :='1';-- Determina que a contagem esta no valor minimo
18     BEGIN
19         IF (enb_triangular = '0') THEN
20             cont:=0;
21             contagem:='1';
22         ELSIF (clk'EVENT AND clk = '1') THEN
23             -- Contagem crescente
24             IF (cont < 1249) AND (contagem = '1') THEN
25                 max:='0';
26                 min:='0';
27                 cont := cont + 1;
28                 IF (cont = 1249) THEN contagem := '0';

```

```
29                                     max:='1';
30     END IF;
31     -- Contagem decrescente
32     ELSIF contagem = '0' THEN
33         max:='0';
34         min:='0';
35         cont:= cont - 1;
36         IF cont = 0 THEN contagem := '1';
37                             min:='1';
38     END IF;
39     END IF;
40 END IF;
41 contador <= cont;
42 flag <= contagem;
43 maximo<=max;
44 minimo<=min;
45 END PROCESS;
46 END hardware;
```

Rotina do bloco atualiza phi

```

1  ENTITY atualiza_phi IS
2      PORT (
3          clk          :    IN  BIT;-- Sinal de clock (f = 50 MHz; T = 20 ns )
4          enb_triangular_p  :    IN  BIT;-- Sinal de habilitacao da portadora do primario/secundario
5          phi          :    IN  INTEGER RANGE 0 TO 2498;--Defasagem phi
6          contador    :    IN  INTEGER RANGE 0 TO 1249;-- Contador da triangular de referencia
7          flag        :    IN  BIT;-- Determina o sentido da contagem
8          maximo      :    IN  BIT;-- Determina que a contagem esta no valor maximo
9          minimo     :    IN  BIT;-- Determina que a contagem esta no valor minimo
10         enb_triangular  :    OUT BIT-- Sinal de habilitacao para portadora
11     );
12 END atualiza_phi;
13
14 ARCHITECTURE hardware OF atualiza_phi IS
15 BEGIN
16     PROCESS (clk, enb_triangular_p)
17         VARIABLE aux          :    INTEGER RANGE 0 TO 2498;-- Recebe o phi atual
18         VARIABLE anterior_phi :    INTEGER RANGE 0 TO 2498;-- Armazena o valor anterior de phi
19         VARIABLE enable_triangular :    BIT:='0';-- Sinal de habilitacao para portadora
20     BEGIN
21         IF (enb_triangular_p = '0') THEN
22             enable_triangular :='0';
23
24         ELSIF (clk'EVENT AND clk = '1') THEN
25             -- Verifica se houve atualizacao de phi
26             IF anterior_phi /= phi THEN
27                 enable_triangular := '0';
28                 anterior_phi:=phi;
29             ELSE
30                 -- Logica para criar o phi positivo

```

```
31         IF ((phi <=1249) AND (contador = phi)) AND ((flag='1') OR (maximo='1')) THEN
32             enable_triangular := '1';
33         -- Logica para criar o phi negativo
34         ELSIF ((phi > 1249) AND (phi <= 2498)) THEN
35             aux := 2498 - phi;
36             IF (contador=aux) AND ((flag='0') OR (minimo='1')) THEN
37                 enable_triangular := '1';
38             END IF;
39         END IF;
40     END IF;
41 END IF;
42 enb_triangular<=enable_triangular;
43
44 END PROCESS;
45 END hardware;
```

Rotina do bloco atualiza delta

```

1  ENTITY atualiza_delta IS
2      PORT (
3          clk                : IN BIT;-- Sinal de clock (f = 50 MHz; T = 20 ns )
4          enb_triangular_p   : IN BIT;-- Sinal de habilitacao da portadora do primario
5          enb_triangular_ps  : IN BIT;-- Sinal de habilitacao da portadora do primario/secundario
6          delta              : IN INTEGER RANGE 0 TO 1249;-- Defasagem delta
7          contador          : IN INTEGER RANGE 0 TO 1249;-- Contador da triangular de referencia
8          flag              : IN BIT;-- Determina o sentido da contagem
9          maximo            : IN BIT;-- Determina que a contagem esta no valor maximo
10         enb_triangular     : OUT BIT-- Sinal de habilitacao para portadora
11     );
12 END atualiza_delta;
13 ARCHITECTURE hardware OF atualiza_delta IS
14 BEGIN
15     PROCESS (clk, enb_triangular_p)
16         VARIABLE aux                : INTEGER RANGE 0 TO 1249:=1249;-- Recebe o delta atual
17         VARIABLE anterior_delta     : INTEGER RANGE 0 TO 1249;-- Armazena o delta anterior
18         VARIABLE enable_triangular  : BIT :='0';-- Sinal de habilitacao para portadora
19     BEGIN
20         IF (enb_triangular_p = '0') THEN
21             enable_triangular := '0';
22         ELSIF (clk'EVENT AND clk = '1') THEN
23             -- Verifica se houve atualizacao de delta
24             IF anterior_delta /= delta THEN
25                 enable_triangular := '0';
26                 anterior_delta:=delta;
27                 aux:=delta;
28             ELSE
29                 -- Logica para criar delta

```

```
30             IF ((aux <=1249) AND (contador = aux)) AND ((flag='1') OR (maximo='1')) AND
31 (enb_triangular_ps='1') THEN
32             enable_triangular := '1';
33             END IF;
34         END IF;
35     END IF;
36     enb_triangular<=enable_triangular;
37 END PROCESS;
38 END hardware;
```

Rotina do bloco sinais de comando para SPS

```

1  ENTITY sinais_comando IS
2      GENERIC(ref : INTEGER :=625); -- Referencia para a razao ciclica das chaves (0,5)
3      PORT (
4          clk                : IN BIT; -- Sinal de clock
5          contador_1         : IN INTEGER RANGE 0 TO 1249;
6          contador_2         : IN INTEGER RANGE 0 TO 1249;
7          enb_triangular_1   : IN BIT;
8          enb_triangular_2   : IN BIT;
9          S1                 : BUFFER BIT;
10         S2                 : BUFFER BIT;
11         S3                 : BUFFER BIT;
12         S4                 : BUFFER BIT;
13         Q1                 : BUFFER BIT;
14         Q2                 : BUFFER BIT;
15         Q3                 : BUFFER BIT;
16         Q4                 : BUFFER BIT
17     );
18 END sinais_comando;
19 ARCHITECTURE hardware OF sinais_comando IS
20 BEGIN
21     PROCESS (clk, enb_triangular_1, enb_triangular_2)
22     BEGIN
23         IF (clk'EVENT AND clk = '1') THEN
24             -- ##### SINAIS DE SAIDA PARA O PRIMARIO #####
25             IF enb_triangular_1 = '0' THEN
26                 S1 <= '0';
27                 S4 <= '0';
28                 S2 <= '0';
29                 S3 <= '0';
30             ELSIF ref > contador_1 THEN

```

```

31         S1 <= '1';
32         S4 <= '1';
33         S2 <= '0';
34         S3 <= '0';
35     ELSE
36         S1 <= '0';
37         S4 <= '0';
38         S2 <= '1';
39         S3 <= '1';
40     END IF;
41 -- #####
42 -- ##### SINAIS DE SAIDA PARA O SECUNDARIO #####
43     IF enb_triangular_2 = '0' THEN
44         Q1 <= '0';
45         Q4 <= '0';
46         Q2 <= '0';
47         Q3 <= '0';
48     ELSIF ref > contador_2 THEN
49         Q1 <= '1';
50         Q4 <= '1';
51         Q2 <= '0';
52         Q3 <= '0';
53     ELSE
54         Q1 <= '0';
55         Q4 <= '0';
56         Q2 <= '1';
57         Q3 <= '1';
58     END IF;
59 -- #####
60     END IF;
61 END PROCESS;
62 END hardware;
63

```

Rotina do bloco sinais de comando para EPS

```

1  ENTITY sinais_comando IS
2      GENERIC(ref : INTEGER :=625);-- Referencia para a razao ciclica das chaves (0,5)
3      PORT (
4          clk                : IN BIT;-- Sinal de clock
5          contador_11        : IN INTEGER RANGE 0 TO 1249;
6          contador_12        : IN INTEGER RANGE 0 TO 1249;
7          contador_2         : IN INTEGER RANGE 0 TO 1249;
8          enb_triangular_11  : IN BIT;
9          enb_triangular_12  : IN BIT;
10         enb_triangular_2   : IN BIT;
11         S1                 : BUFFER BIT;
12         S2                 : BUFFER BIT;
13         S3                 : BUFFER BIT;
14         S4                 : BUFFER BIT;
15         Q1                 : BUFFER BIT;
16         Q2                 : BUFFER BIT;
17         Q3                 : BUFFER BIT;
18         Q4                 : BUFFER BIT);
19
20 END sinais_comando;
21 ARCHITECTURE hardware OF sinais_comando IS
22 BEGIN
23     PROCESS (clk,enb_triangular_11, enb_triangular_12, enb_triangular_2)
24     BEGIN
25         IF (clk'EVENT AND clk = '1') THEN
26 -- ##### SINAIS DE SAIDA PARA O PRIMARIO #####
27             IF enb_triangular_11 ='0' THEN
28                 S1 <= '0';
29                 S2 <= '0';
30             ELSIF ref > contador_11 THEN

```

```

31         S1 <= '1';
32         S2 <= '0';
33     ELSE
34         S1 <= '0';
35         S2 <= '1';
36     END IF;
37     IF (enb_triangular_11 = '0') OR (enb_triangular_12 = '0') THEN
38         S3 <= '0';
39         S4 <= '0';
40     ELSIF ref > contador_12 THEN
41         S3 <= '1';
42         S4 <= '0';
43     ELSE
44         S3 <= '0';
45         S4 <= '1';
46     END IF;
47     -- #####
48     -- ##### SINAIS DE SAIDA PARA O SECUNDARIO #####
49     IF enb_triangular_2 = '0' THEN
50         Q1 <= '0';
51         Q4 <= '0';
52         Q2 <= '0';
53         Q3 <= '0';
54     ELSIF ref > contador_2 THEN
55         Q1 <= '1';
56         Q4 <= '1';
57         Q2 <= '0';
58         Q3 <= '0';
59     ELSE
60         Q1 <= '0';
61         Q4 <= '0';
62         Q2 <= '1';
63         Q3 <= '1';

```

```
64         END IF;
65     END IF;
66 -- #####
67     END PROCESS;
68 END hardware;
```

Rotina do bloco sinais de comando para DPS

```

1  ENTITY sinais_comando IS
2      GENERIC (ref : INTEGER :=625); -- Referencia para a razao ciclica das chaves (0,5)
3      PORT (
4          clk                : IN BIT; -- Sinal de clock
5          contador_11        : IN INTEGER RANGE 0 TO 1249;
6          contador_12        : IN INTEGER RANGE 0 TO 1249;
7          contador_21        : IN INTEGER RANGE 0 TO 1249;
8          contador_22        : IN INTEGER RANGE 0 TO 1249;
9          enb_triangular_11  : IN BIT;
10         enb_triangular_12  : IN BIT;
11         enb_triangular_21  : IN BIT;
12         enb_triangular_22  : IN BIT;
13         S1                 : BUFFER BIT;
14         S2                 : BUFFER BIT;
15         S3                 : BUFFER BIT;
16         S4                 : BUFFER BIT;
17         Q1                 : BUFFER BIT;
18         Q2                 : BUFFER BIT;
19         Q3                 : BUFFER BIT;
20         Q4                 : BUFFER BIT);
21
22  END sinais_comando;
23  ARCHITECTURE hardware OF sinais_comando IS
24  BEGIN
25      PROCESS (clk, enb_triangular_11, enb_triangular_12, enb_triangular_21, enb_triangular_22)
26      BEGIN
27          IF (clk'EVENT AND clk = '1') THEN
28              -- ##### SINAIS DE SAIDA PARA O PRIMARIO #####
29              IF enb_triangular_11 = '0' THEN
30                  S1 <= '0';

```

```

31         S2 <= '0';
32     ELSIF ref > contador_11 THEN
33         S1 <= '1';
34         S2 <= '0';
35     ELSE
36         S1 <= '0';
37         S2 <= '1';
38     END IF;
39     IF (enb_triangular_11 = '0') OR (enb_triangular_12 = '0') THEN
40         S3 <= '0';
41         S4 <= '0';
42     ELSIF ref > contador_12 THEN
43         S3 <= '1';
44         S4 <= '0';
45     ELSE
46         S3 <= '0';
47         S4 <= '1';
48     END IF;
49     -- #####
50     -- ##### SINAIS DE SAIDA PARA O SECUNDARIO #####
51     IF enb_triangular_21 = '0' THEN
52         Q1 <= '0';
53         Q2 <= '0';
54     ELSIF ref > contador_21 THEN
55         Q1 <= '1';
56         Q2 <= '0';
57     ELSE
58         Q1 <= '0';
59         Q2 <= '1';
60     END IF;
61     IF (enb_triangular_21 = '0') OR (enb_triangular_22 = '0') THEN
62         Q3 <= '0';
63         Q4 <= '0';

```

```
64         ELSIF ref > contador_22 THEN
65             Q3 <= '1';
66             Q4 <= '0';
67         ELSE
68             Q3 <= '0';
69             Q4 <= '1';
70         END IF;
71     END IF;
72 -- #####
73     END PROCESS;
74 END hardware;
```

APÊNDICE F – Rotina do divisor de frequência

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3  ENTITY DivisorFreq IS
4      PORT (
5          clk      : IN STD_LOGIC;-- Clock de 50 MHz
6          clk_div  : OUT STD_LOGIC);-- Clock de 50 MHz/16 = 3,125 MHz
7  END DivisorFreq;
8
9  ARCHITECTURE hardware OF DivisorFreq IS
10 BEGIN
11     divisor_frequencia:PROCESS (clk)
12     -- Variavel utilizada para dividir a frequencia (50 MHz/16 = 3,125 MHz)
13         VARIABLE div: NATURAL RANGE 0 TO 15 :=0;
14     BEGIN
15         -- T_alto = T_baixo
16         IF (clk'EVENT AND clk='1') THEN
17             IF (div=15) THEN
18                 div:=0;
19                 clk_div<='1';
20             ELSIF (div>=8) THEN
21                 div:=div+1;
22                 clk_div<='1';
23             ELSIF (div<8) THEN
24                 div:=div+1;
25                 clk_div<='0';
26             END IF;
27         END IF;
28     END PROCESS divisor_frequencia;
29 END hardware;
```

APÊNDICE G – Rotina do conversor A/D

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.ALL;
3  USE ieee.numeric_std.ALL;
4  ENTITY ADC IS
5      PORT (
6          Va          : IN STD_LOGIC_VECTOR (3 TO 5); --Entrada analogica setada pelo usuario
7          DOUT        : IN STD_LOGIC; -- Recebe os dados de digitais da conversao do ADC
8          CLK2        : IN STD_LOGIC; -- Clock de 3,125 MHz
9          enb_conv    : IN STD_LOGIC; -- Utilizado em conjunto com aux para administrar o pino CS
10         CS          : OUT STD_LOGIC; -- Sinal responsavel pela habilitacao do CI ADC128S022
11         SCLK        : OUT STD_LOGIC; -- Clock de operacao do A/C
12         DIN         : OUT STD_LOGIC; -- Selecao da entrada analogica
13         aux         : OUT STD_LOGIC; -- Utilizado em conjunto com enb_conv para administrar o pino CS
14         PHI         : OUT INTEGER RANGE 0 TO 2499; -- Valor da defasagem phi
15         DELTA       : OUT INTEGER RANGE 0 TO 1249; -- Valor da defasagem delta
16     );
17 END ADC;
18 ARCHITECTURE convert OF ADC IS
19 -- Recebe a conversao do valor apresentado na entrada analogica IN1
20     SIGNAL DOUT_AUX_IN1: STD_LOGIC_VECTOR (1 TO 16);
21 -- Recebe a conversao do valor apresentado na entrada analogica IN5
22     SIGNAL DOUT_AUX_IN5: STD_LOGIC_VECTOR (1 TO 16);
23 -- Recebe a entrada analogica setada pelo usuário
24     SIGNAL DIN_AUX: STD_LOGIC_VECTOR (1 TO 16);
25 -- Utilizado em conjunto com CLK2 para fornecer o clock adequado a SCLK
26     SIGNAL SCLK_EN: STD_LOGIC:='0';
27 BEGIN
28     SCLK<=SCLK_EN NAND NOT(CLK2); --Se SCLK_EN for 0, SCLK=1, caso contrario, SCLK=CLK2
29     DIN_AUX<= "00"&Va&B"000_0000_0000";
30

```

```

31 Conversao_ADC:PROCESS (CLK2)
32     VARIABLE ciclo: NATURAL RANGE 0 TO 16:=0;
33 BEGIN
34     Bordas_negativas:IF ((CLK2'EVENT AND CLK2='0') AND enb_conv='1') THEN
35         Atulizacao_cont_ciclos:IF (ciclo>=16) THEN
36             -- Repasse dos dados de conversao para phi ou delta
37             PHI<=TO_INTEGER(SIGNED(DOUT_AUX_IN1(5 TO 16)));
38             DELTA<=TO_INTEGER(SIGNED(DOUT_AUX_IN5(5 TO 16)));
39             ciclo:=0;
40             aux<='1';
41             CS<='1';
42             SCLK_EN<='0';
43         ELSE
44             CS<='0';
45             SCLK_EN<='1';
46             aux<='0';
47             ciclo:=ciclo+1;
48         END IF Atulizacao_cont_ciclos;
49         -- Determinacao da entrada analogica
50         CASE ciclo IS
51             WHEN 0 => NULL;
52             WHEN 1 to 16 => DIN<= DIN_AUX(ciclo);
53         END CASE;
54     END IF Bordas_negativas;
55     -- Operacao de recebimentos dos dados de convercao
56     Bordas_positivas:IF((CLK2'EVENT AND CLK2='1') AND enb_conv='1') THEN
57         IF Va="001" THEN
58             CASE ciclo IS
59                 WHEN 0 => NULL;
60                 WHEN 1 to 16 => DOUT_AUX_IN1(ciclo)<=DOUT;
61             END CASE;
62         ELSIF Va="101" THEN
63             CASE ciclo IS

```

```
64         WHEN 0 => NULL;
65         WHEN 1 to 16 => DOUT_AUX_IN5(ciclo)<=DOUT;
66     END CASE;
67 END IF;
68 END IF Bordas_positivas;
69 END PROCESS Conversao_ADC;
70 END convert;
```